

Dissertation

©Volker Reck



nanocharis forrestii

Frequenzteiler mit niedriger Leistungsaufnahme

Von der Fakultät für Maschinenbau, Elektrotechnik und Wirtschaftsingenieurwesen der Brandenburgischen Technischen Universität Cottbus zur Erlangung des akademischen Grades eines Doktor-Ingenieurs, genehmigte Dissertation, vorgelegt von

Diplom-Ingenieur Michael Dietmar Pierschel

geboren am 23.03.1959 in Jessen / Elster

Vorsitzender: Prof. Dr.-Ing. H. Schwarz

Gutachter: Prof. Dr.-Ing. B. Falter

Gutachter: Prof. Dr. h. c. mult. U. Rhode

Gutachter: Prof. Dr.-Ing. habil. D. Engelage

Tag der mündlichen Prüfung: 03.05.2002

1.0 Inhaltsverzeichnis

1.0	Inhaltsverzeichnis	2
2.0	Einleitung	3
3.0	Die Grenzen von Standard CMOS-FF	6
4.0	Überblick über Frequenzsynthesizer	9
4.1	Anwendungsbereiche	9
4.2	Technologien und Schaltungstechniken	9
4.3	Standardaufbau eines Frequenzsynthesizers	9
4.3.1	Funktionsbeschreibung	10
4.3.2	Lineare Theorie	11
4.4	Schaltungen von Frequenzsynthesizern	13
4.4.1	Teilschaltungen	13
4.4.1.1	Der spannungsgesteuerte Oszillator VCO	13
4.4.1.2	Der Phasenvergleich	15
4.4.1.3	Die Ladungspumpe und der Schleifenfilter	16
4.4.2	PLL Schaltung	18
4.4.3	Grenzen der linearen Theorie	19
4.4.3.1	Die Nichtlinearität des VCO	19
4.4.3.2	Der Einfluss eines Frequenzteilers	20
4.4.3.3	Modellierung von PLL Schaltungen mit Ladungspumpen	21
4.5	Störsignalunterdrückung in PLL Schaltungen	23
5.0	Architekturen für Frequenzteiler	30
5.1	Der Standard für DECT Anwendungen	31
5.2	Ein DECT Vorteiler mit niedriger Leistungsaufnahme	32
5.3	Architektur für BLUETOOTH	33
6.0	Vorteiler	35
6.1	Einfache Frequenzteiler	36
6.2	Einfache Dynamische Frequenzteiler	36
6.3	Einfache Statische Frequenzteiler	38
6.3.1	Standard Flip-Flop Frequenzteiler	39
6.3.2	CML Frequenzteiler	41
6.3.3	Schieberegister als Vorteiler	43
6.4	Dual- und Multi-Modulus Vorteiler	43
6.4.1	Neue Architekturen für Vorteiler	44
6.4.2	Das 'lost cycle' Prinzip	47
7.0	Energieeffizienter Dual-Modulus Vorteiler	51
7.1	Einführung	51
7.2	Eine neue Dual-Modulus Teilertechnik	51
7.2.1	Konzept ('lost cycle')	51
7.2.2	Transistorschaltungslösung	54
7.3	Die Steuerung des Umschaltens	57
7.3.1	Das Zeitverhalten im HF Teiler Flip-Flop	57
7.3.2	Das Zeitverhalten im Hochfrequenzvorteiler	57
7.3.2.1	Verzögerungszeiten im Hochfrequenzvorteiler	57
7.3.2.2	Phasenjitter im Hochfrequenzvorteiler	58
7.3.3	Das Zeitverhalten im Frequenzteiler	58
7.4	Die Anwendung im Schaltkreis	60
7.5	Erzielte Ergebnisse	61
7.5.1	Experimentelle Ergebnisse	61
7.6	Der Vergleich mit anderen Vorteilern	69
7.7	Schlussfolgerungen	72
7.8	Trendschätzung der Verlustleistung	73
8.0	Zusammenfassung	75
9.0	Danksagung	78
10.0	Abkürzungen	79
11.0	Literatur	82
12.0	Anhang A, Test PLL Design	89
12.1	Simulationsergebnisse	89
12.2	Schaltungsbeschreibung	91
12.3	Anschlüsse	92
12.4	CADENCE Schaltpläne Test PLL	92
12.5	Der Vorteiler im Detail	103
12.5.1	Die Schaltpläne	103
12.5.2	Die Signale	113

2.0 Einleitung

Ziel dieser Arbeit ist die Vorstellung und Diskussion einer neuartigen Schaltungstechnik für Dual-Modulus Hochfrequenzvorteiler mit einem niedrigen Leistungsverbrauch sowie die Verifikation dieser Schaltungstechnik im System einer Frequenzsynthesizer PLL-Schaltung.

Sende- und Empfangsschaltung für den 2.4 GHz Bereich

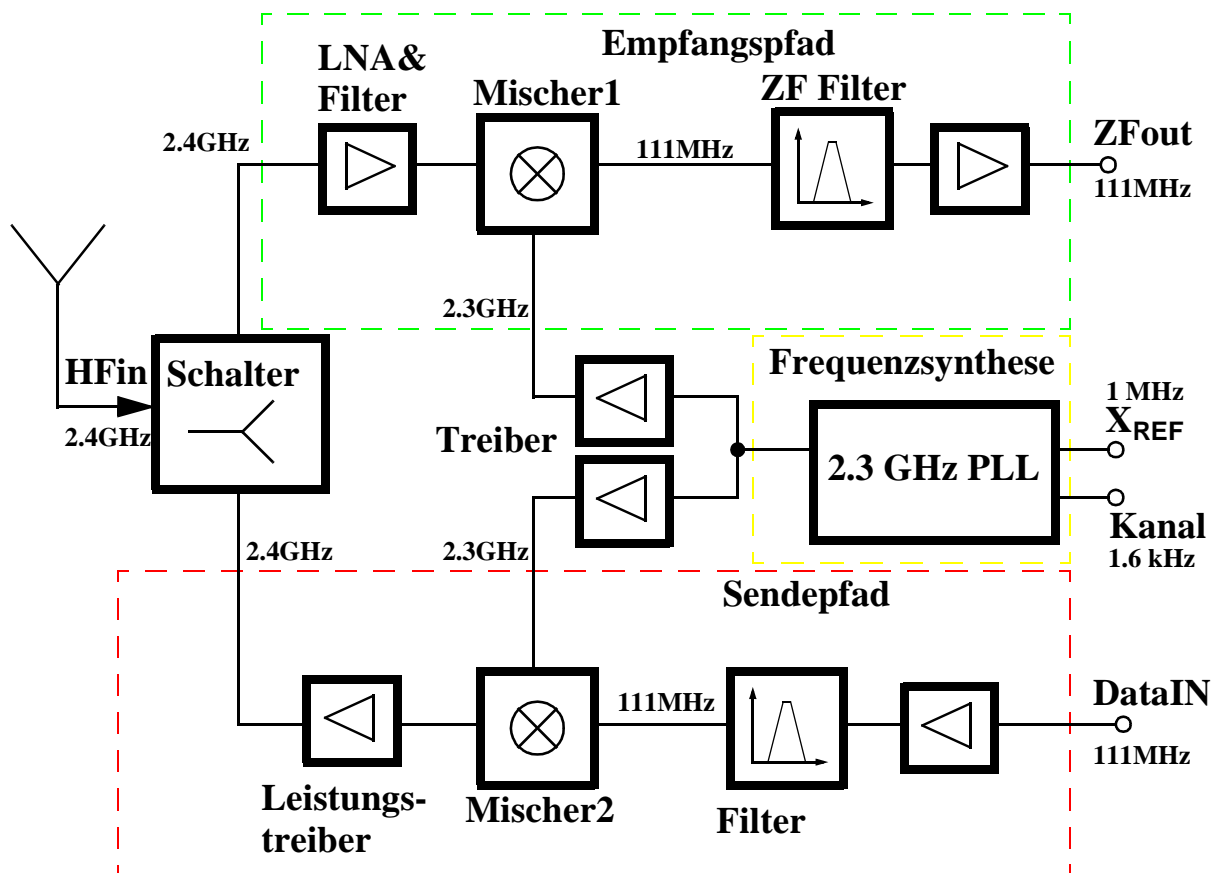


Bild 1: Blockschaltung eines 2.4 GHz Transceivers

Bild 1 zeigt eine typische Anwendung für die Frequenzsynthese im 2.4 GHz Bereich. Die im Bereich von 2.289 GHz bis 2.369 GHz arbeitende PLL Schaltung ist das zentrale Element einer solchen Sende und Empfangsschaltung.

In Frequenzsynthesizern der Mobilkommunikation werden bis zu 90% der Gesamtverlustleistung vom Dual-Modulus HF Vorteiler beansprucht. Mit Hilfe der in dieser Arbeit vorgestellten Schaltungstechnik kann annähernd das gleiche Produkt aus Geschwindigkeit und Verlustleistung für den HF Vorteiler erreicht werden, wie in einfachen Binärteilern.

Um die Grenzen von einfachen D-FF in Standard CMOS Schaltungstechnik zu dokumentieren wird in Kapitel 3.0 ein Vergleich mit der CML Schaltungstechnik gegeben.

Zwecks Einordnung des Frequenzteilers in das System eines Frequenzsynthesizers erfolgt dann in Kapitel 4.0 ein Überblick über die Funktion und Anordnung der verwendeten Schaltungsteile und die Gesamtsystemfunktion einer PLL Schaltung wird erläutert. Der Abschnitt 4.5 enthält außerdem einen Vorschlag zur Störsignalunterdrückung in PLL Schaltungen, der noch nicht an anderer Stelle veröffentlicht wurde. Im Kapitel 5.0 werden Architekturen für Frequenzteiler sowie insbesondere die Notwendigkeit von Dual-Mode Vorteilern im System erläutert. Hier finden sich auch Angaben über

Frequenzbereiche und die Kanalaufteilung bekannter Mobilfunkstandards wie DECT (eng. digital european cordless telephone) und BLUETOOTH (Mobilfunkstandard für kurze Übertragungstrecken bis ca. 10m). In Kapitel 6.0 sind die Vor- und Nachteile der Schaltungstechniken für Hochfrequenzvorteiler ausführlicher dargestellt. Die Abschnitte 6.4.1 und 6.4.2 beschreiben das neuartige Schaltungskonzept für den Aufbau energieeffizienter Hochfrequenzvorteiler, welches mittels einer in Kapitel 7.0 beschriebenen CMOS Experimentalschaltung verifiziert und mit aus der Literatur bekannten Schaltungslösungen verglichen wird. Schließlich ist am Ende dieses Kapitels noch eine Trendschätzung der erforderlichen Gesamtverlustleistung einer PLL Schaltung mit dem neu vorgestellten Vorteilerprinzip in Abhängigkeit vom Technologieniveau beigefügt. Eine kurze Zusammenfassung des CMOS Experimentes, die Auswirkungen auf den Stand der Technik und Möglichkeiten der weiteren wissenschaftlichen Arbeit werden in Kapitel 8.0 beschrieben. Anhang A ist eine Designstudie zum Aufbau von kompletten Frequenzsynthesizern mit der hier vorgestellten neuartigen Schaltungstechnik incl. der verwendeten CADENCE Schematics sowie der Darstellung einiger Signalformen aus der Simulation. Diese PLL Testschaltungen beinhalten keine programmierbaren CMOS Frequenzteiler, wie sie zur Kanalauswahl erforderlich sind. Die niederfrequenten programmierbaren Frequenzteiler beeinflussen jedoch die Gesamtverlustleistung nur unwesentlich (<5%).

Frequenzsynthesizer sind Schlüsselbaugruppen in modernen drahtlosen Kommunikationsgeräten. Moderne drahtlose Übertragungssysteme sind dadurch gekennzeichnet, dass möglichst viele Nutzer möglichst viele Informationen quasi gleichzeitig austauschen können. Ein Informationskanal besitzt nach Shannon eine begrenzte Kapazität für den Informationsaustausch. Ältere drahtlose und analoge Übertragungsverfahren nutzen nur wenig von dieser Kapazität und sind auch nicht immer in der Lage die in einem Funkkanal auftretenden Effekte (fading, etc.) für den Nutzer auszublenden. Seit Popow sein legendäres erstes Funktelegramm am 24. März 1896 abgeschickt hat [99], haben sich die Übertragungsverfahren sowohl drahtgebunden als auch 'wireless' (eng. drahtlos) grundlegend verändert [100].

Möglichst stabil arbeitende Oszillatoren, die sich im interessierenden Hochfrequenzband einstellen ließen, waren für die älteren Übertragungsverfahren ausreichend, um eine Verbindung zu realisieren. Die heutigen digitalen Übertragungsverfahren erfordern tausende definiert ablaufende Frequenzwechsel pro Sekunde. Damit steigen die Anforderungen an die frequenzgenerierenden Baugruppen. Das OFDM Verfahren (eng. orthogonal frequency division multiplexing, dt. orthogonales Frequenzmultiplexverfahren) wird als das Übertragungsverfahren der Zukunft bezeichnet und markiert derzeit die Spitze der Anforderungen nicht nur an die frequenzerzeugenden Baugruppen sondern auch an die anderen erforderlichen analogen Schaltungen [100].

Frequenzsynthesizer haben die Aufgabe hochfrequente Signale zu erzeugen, die den Anforderungen des jeweiligen Übertragungsverfahrens gerecht werden. Diese Signale müssen sich z.B. mit einer vorgegebenen Hochfrequenz synchronisieren lassen, wobei die Zeitverzögerungen von Mehrwegeausbreitungen und Frequenzverschiebungen auf Grund des Dopplereffektes zu berücksichtigen sind.

Mit dem zunehmenden Einsatz von Mikrocomputern auch in mobilen Geräten haben Übertragungsverfahren mit Frequenzsprüngen einen erheblichen Marktanteil gewonnen. Für derartige Übertragungsverfahren ist neben dem Mikrocomputer, welcher die jeweilige Frequenz bzw. die Frequenzsprungfolge bestimmt, die Entwicklung von Frequenzsynthesizern maßgeblich beschleunigt worden.

Nationale und Internationale Standards sowie streng begrenzte Übertragungsbänder verbunden mit dem Wunsch möglichst große Datenmengen pro Frequenzband zu übertragen stellen große Anforderungen an die spektrale Reinheit, Frequenzstabilität und Drift der synthetisierten Signale. Deshalb werden nahezu ausschließlich PLL Schaltungen (eng. phase locked loop, dt. Phasenregelkreis) verwendet, welche die Frequenzgenauigkeit und Driftarmut einer Kristallreferenz nutzen.

Die synthetisierten Frequenzen liegen beim Empfänger meist nur wenig unterhalb der jeweils zu empfangenden Frequenz sowie beim Sendeteil oft direkt im abzustrahlenden HF Bereich und unterscheiden sich damit deutlich von den Frequenzbereichen gewöhnlich sehr stabiler Kristallreferenzfrequenzen. Aus diesem Grunde werden üblicherweise Frequenzteiler benutzt, welche einen niederfrequenten Messwert, gemittelt über eine Teilerperiode, über das jeweils momentan vorliegende HF Signal liefern. Das hat u.a. den Vorteil, dass damit ohne eine Änderung der Referenzfrequenz allein durch die Vorgabe des Teilverhältnisses andere Frequenzen im HF Bereich erzeugt werden können. Diese Schaltungen sind damit direkt von Mikrocomputern steuerbar.

Wichtige Designkriterien von Frequenzteilern sind die maximal in einer gegebenen Technologie erreichbare Teilerfrequenz sowie die dabei erforderliche Verlustleistung. Die maximale Teilerfrequenz bestimmt maßgeblich den möglichen Anwendungsbereich sowie auch die Übertragungskapazität eines Systems. Außerdem sind u.U. Auswirkungen auf die Systemarchitektur möglich, da z.B. auch bei der halben Frequenz gearbeitet werden kann, wenn mit zusätzlichen Mischern oder rein binären Vorteilern gearbeitet wird. Da viele Kommunikationsgeräte netzunabhängig arbeiten sollen und der Empfangsteil ständig oder zumindest oft wegen möglicher eingehender Rufanforderungen aktiviert wird, beeinflusst die Verlustleistung des bei hoher Frequenz arbeitenden Frequenzteilers direkt die erzielbare Batterielebensdauer.

Zur Unterstützung der Batterielebensdauer wird oft ein 'power down mode' (eng. power down, dt. Abschaltung bestimmter Schaltungsteile um Leistung einzusparen) gefordert.

Batteriebetriebene Schaltungen werden oft in mobilen Geräten eingesetzt. Mobile Geräte erfordern naturgemäß einen erweiterten Temperaturbereich, in dem die Schaltungen betriebsfähig sein müssen.

Schließlich sei hier noch erwähnt, dass trotz der immer leistungsfähigeren Schaltkreise ein ständiger Preisverfall für die Gerätehardware zu beobachten ist. So werden die für dieses Jahr erwarteten Gesamtkosten der HF-Halbleiterbauteile eines handelsüblichen Handy's (Kunstwort für mobile Telephone) nur noch mit insgesamt ca. 10.5 Dollar angegeben [101]. Setzte sich früher ein Handy noch aus der Zusammenschaltung von einigen zehn Schaltkreisen in zwei bis drei verschiedenen Technologien zusammen, so geht auf Grund dieser Kostentendenz die weitere monolithische Integration von Baugruppen stetig voran. Das bedeutet aber auch, dass Funktionen, die z. B. in einer CMOS Technologie vor einigen Jahren noch nicht sinnvoll realisierbar waren, jetzt mit integriert werden müssen. Die CMOS Technologie besitzt gegenüber allen anderen Technologien den Vorteil, dass diese Chips mit den geringsten Kosten gefertigt werden können. Der Unterhalt einer speziellen Technologie für Hochgeschwindigkeitsschaltungen wird zunehmend unrentabel, da CMOS Schaltungen heute in sogenannten Foundrys kurzfristig, qualitativ hochwertig und mit den neuesten verfügbaren Strukturierungsmöglichkeiten für beliebige Kunden, weltweit, auch in geringeren Stückzahlen gefertigt werden können. Für einen ca. 1 cm^2 großen Chip DRAM kann ein Preis um 95 Cent erzielt werden. Ein gleich großer Chip, gefertigt in der selben Technologie, kann 400 Dollar als Prozessor kosten. Der Unterschied liegt im Design. HF Schaltkreise erfordern gewöhnlich einen erheblichen Designaufwand und meist mehrere Redesigns (dt. Neuentwürfe bzw. Änderungen gegenüber dem ersten Entwurf). Demgegenüber stehen hier meist sehr große Stückzahlen mit einigen tausend verkauften Geräten monatlich, die derzeit die Kapazitäten einiger Hersteller sogar überfordern. Mit dem breitenwirksamen Einsatz des relativ neuen BLUETOOTH Standards für Kurzstreckenübertragungen in allen Lebensbereichen, vom Heizkörper bis zur Daten- und Videoübertragung, ist kein wirkliches Ende dieser Entwicklung abzusehen.

3.0 Die Grenzen von Standard CMOS-FF

In Mikroprozessoren werden meist Standard CMOS Gatter verwendet. Die Entwicklung der Taktfrequenz von Mikroprozessoren [109] verdeutlicht die Geschwindigkeitslimitierungen bei der Verwendung derartiger Standard CMOS Gatter. Zum Ende der 90' Jahre wurde auch im Mikroprozessorbereich der Übergang zu dynamischen FF probiert, jedoch vermutlich auch aus thermischen und Stabilitätsgründen wieder aufgegeben. Die heute verwendeten Prozessoren erreichen Taktfrequenzen von 1.1 GHz bis 1.3 GHz. Diese Frequenzen sind jedoch ausschließlich durch die Verwendung modernster Technologien mit MOS Transistoren sehr kurzer Kanallänge < 200 nm erreichbar, liegen jedoch etwas unterhalb der 1999 von der SIA vorgegebenen Roadmap [111] für den 'high performance on chip clock'. Für Standard Industrietechnologien mit ca. 400 nm Gatelänge werden in Standard CMOS Schaltungstechnik Frequenzen von ca. 400 MHz bis 1 GHz erreicht. Dabei ist jedoch noch keine Limitierung der verfügbaren Verlustleistung betrachtet worden. In [110] wird die in Bild 2 dargestellte Relative Performance gezeigt, die auch Prozessorfrequenzen enthält. Zusätzlich sind die Werte für den 'high performance on chip prozessor clock' aus der SIA Roadmap [111] sowie die Schätzungen aus [109] mit eingefügt.

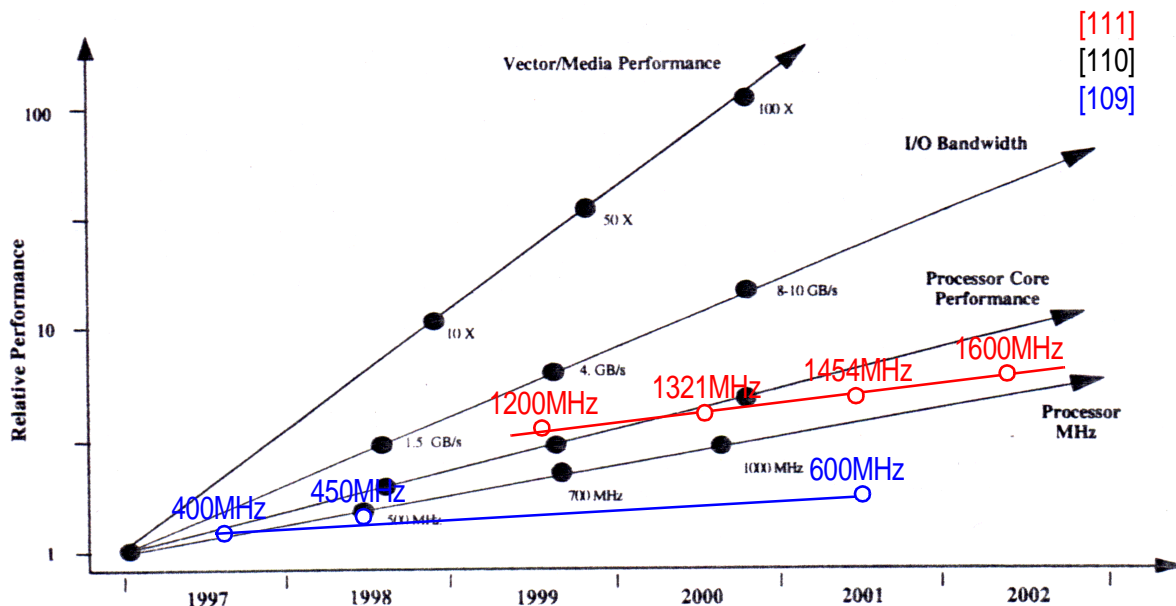


Figure 1. System Performance Demand Trends

Bild 2: Relative System Performance [110]

Die Angaben streuen erheblich auf Grund von optimistischen und konservativen Schätzungen. Es ist aber deutlich ersichtlich, dass zumindest in den Jahren 1999 bis 2002 mit der Standard CMOS Schaltungstechnik Designs mit Frequenzen über 2 GHz nicht möglich erscheinen.

Mobile Breitbandübertragungssysteme in Bereichen über 2 GHz erfordern neben der hohen Betriebsfrequenz außerdem eine geringe Verlustleistung der Teilschaltungen. Hier bietet sich die ECL Schaltungstechnik (vgl. Abschnitt 4.2, eng. emitter coupled logic, dt. Emmittergekoppelte Logik), [24], [31] als Alternative an. Da ECL Schaltungen auch nicht unbeträchtliche Verlustleistungen benötigen, wird jedoch meist die CML Variante (vgl. Abschnitt 6.3.2, eng. current mode logic), [61] mit konstanten Strömen verwendet. Mit derartigen Schaltungen können in einer 350 nm CMOS Technologie Frequenzen bis ca. 4 GHz für Binärteiler erreicht werden. In 250 nm CMOS Technolo-

gien sind damit ca. 6 bis 8 GHz erreichbar. Wird allerdings die verfügbare Verlustleistung begrenzt, so sinkt auch die erreichbare Frequenz [76]. Der fundamentale Unterschied zu den Standard CMOS Schaltungen, auf dem diese höheren möglichen Betriebsfrequenzen von CML Schaltungen bei geringeren Verlustleistungen beruhen, ist der deutlich kleinere Logikpegel, mit dem diese Schaltungen betrieben werden. Damit wird bei gleicher Frequenz und Lastkapazität eine wesentlich kleinere Leistung pro Umladezyklus umgesetzt.

Die Abschätzung der erforderlichen Verlustleistung einer bei 2.3 GHz arbeitenden neuartigen PLL Schaltung in Abhängigkeit vom CMOS Technologieniveau wird in Abschnitt 7.8 dargestellt.

Der direkte Vergleich von Standard CMOS Schaltungstechnik und CML Schaltungstechnik ist auf Grund der vielfältigen Abhängigkeiten insbesondere von der kapazitiven Last und der im Design verwendeten Verlustleistung pro Gate sehr schwer. Deshalb werden meist nur Vergleiche von Schaltungsblöcken mit einigen 10 bis 100 Gattern veröffentlicht. In [106] ist beispielsweise ein um den Faktor 3 günstigeres Produkt der Verlustleistung mit der Gatterverzögerung für eine Digitalschaltung mit ECL Schaltungstechnik gegenüber der CMOS Variante veröffentlicht worden. Allerdings sind derartige Vergleiche meist für BiCMOS Technologien erfolgt und verwenden dann natürlich auch die schnelleren Bipolartransistoren für den CML Schaltungsteil.

Diese Arbeit orientiert ausschließlich auf die Verwendung von Standard digital CMOS Technologien.

Bild 3 zeigt eine Grafik aus der Veröffentlichung [108], die im Originalverweis aus [107] stammt.

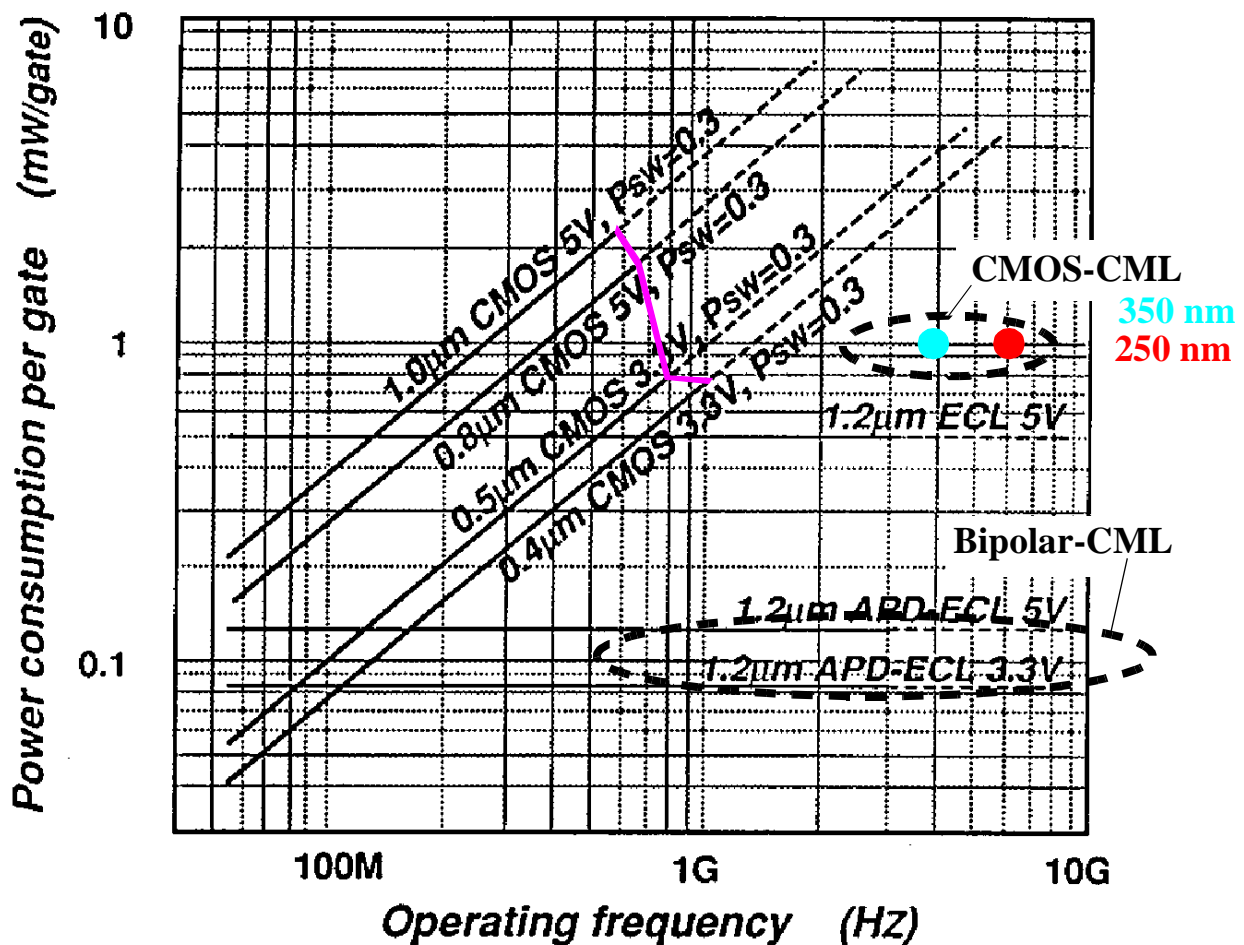


Bild 3: Verlustleistung als Funktion der Arbeitsfrequenz

Zusätzlich gekennzeichnet sind in Bild 3 die praktische erreichten Grenzen der Standard CMOS Schaltungen. Die darüber hinausgehenden Geraden sind lineare Extrapolationen. Außerdem ist der mit CMOS-CML Schaltungen erreichbare Bereich gekennzeichnet worden, mit der Transistorkanallänge als Parameter.

In Kapitel 7.6 werden darüber hinaus alle mir zugänglichen und im Zeitraum zwischen 1985 und 2000 veröffentlichten Frequenzteiler und die in dieser Arbeit vorgestellten Schaltungen, vgl. Kapitel 7.0, hinsichtlich Arbeitsfrequenz und Verlustleistungsverbrauch dargestellt und an Hand eines normierten Berechnungsverfahrens verglichen.

4.0 Überblick über Frequenzsynthesizer

4.1 Anwendungsbereiche

Im Gegensatz zu Kristalloszillatoren, die mit Schwingquarzen arbeiten, lassen sich mit Frequenzsynthesizern größere Abstimmungsbereiche erschließen, bei gleichzeitiger Koppelung an die Frequenzstabilität eines Quarzoszillators.

Frequenzsynthesizer werden in der drahtlosen Kommunikation für die Kanalabstimmung eingesetzt. Zunehmend werden aber auch in der kabelgebundenen Signalübermittlung unter Einsatz moderner digitaler Modulationsverfahren Frequenzsynthesizer benötigt. In Sende- und Empfangsschaltungen stellen Synthesizer die erforderlichen Kanalträgerfrequenzen bereit. Dabei sind die Anwendungen nicht auf drahtlose Übertragungsstrecken beschränkt. Vielmehr werden heute auch Geräte für Modemverbindungen und lichtleitergestützte Übertragungsstrecken mit Frequenzsynthesizern ausgestattet. Hier dienen diese Schaltungen der Systemtaktbereitstellung und der Taktrückgewinnung.

4.2 Technologien und Schaltungstechniken

Für den niederfrequenten Bereich bis zu einigen hundert MHz sind CMOS Lösungen dominierend. Dabei wird meist CMOS Standardlogik als Schaltungstechnik verwendet. In der neueren Literatur sind derartige Schaltungen kaum zu finden, da die digitale Standard CMOS Schaltungstechnik als bekannt angesehen wird. Vor allem für die flexible Taktsignalerzeugung in CPU-Chips sind derartige Schaltungen im Einsatz. Bei höheren Frequenzen größer als ca. 600 MHz und für extreme 'low power' Anwendungen, in Uhren etc., werden CML Schaltungstechniken (eng. current mode logic, dt. Logik mit konstantem Strom) verwendet [61]. Über 1 GHz werden für die Vorteiler oft Biopolarschaltungen eingesetzt [63], wobei fast ausschließlich CML und/oder ECL Schaltungstechniken (eng. emitter coupled logic, dt. Emmittergekoppelte Logik) zu finden sind [24], [31]. Der niederfrequente Teil eines Frequenzsynthesizers wird jedoch meist in CMOS Technologie realisiert. Im Frequenzbereich über 1 GHz bietet CMOS derzeit aber auch die Möglichkeit sehr einfache und äußerst schnelle dynamische Schaltungstechniken zu verwenden [58]. Für höchste Frequenzen werden für Vorteiler GaAs HBT [20] oder FET mit entsprechend angepassten Schaltungstechniken z.B. DCFL verwendet [45]. Die niederfrequenten, programmierbaren Zähler, welche von den Vorteilern angesteuert werden, sind jedoch auch bei Verwendung von anderen Technologien für die Vorteiler meist in einer CMOS Standardtechnologie realisiert.

4.3 Standardaufbau eines Frequenzsynthesizers

Für die Beurteilung der Anforderungen an den Frequenzteiler ist die Einordnung dieser Schaltung in das Gesamtsystem eines Frequenzsynthesizers wichtig. Deshalb soll hier eine 'einfache' PLL Schaltung in ihren Grundfunktionen erläutert werden. Einfach ist die Schaltung deshalb, weil zunächst keine programmierbaren Zähler verwendet werden und nur zwei Frequenzen bezüglich der Kristallreferenz X_{ref} generiert werden können:

$$f_1 = 128 \cdot X_{\text{ref}}$$

$$f_2 = 129 \cdot X_{\text{ref}}$$

Trotzdem treten alle wichtigen charakteristischen Größen einer PLL Regelschaltung auf und können anhand dieses Beispiels erläutert werden.

4.3.1 Funktionsbeschreibung

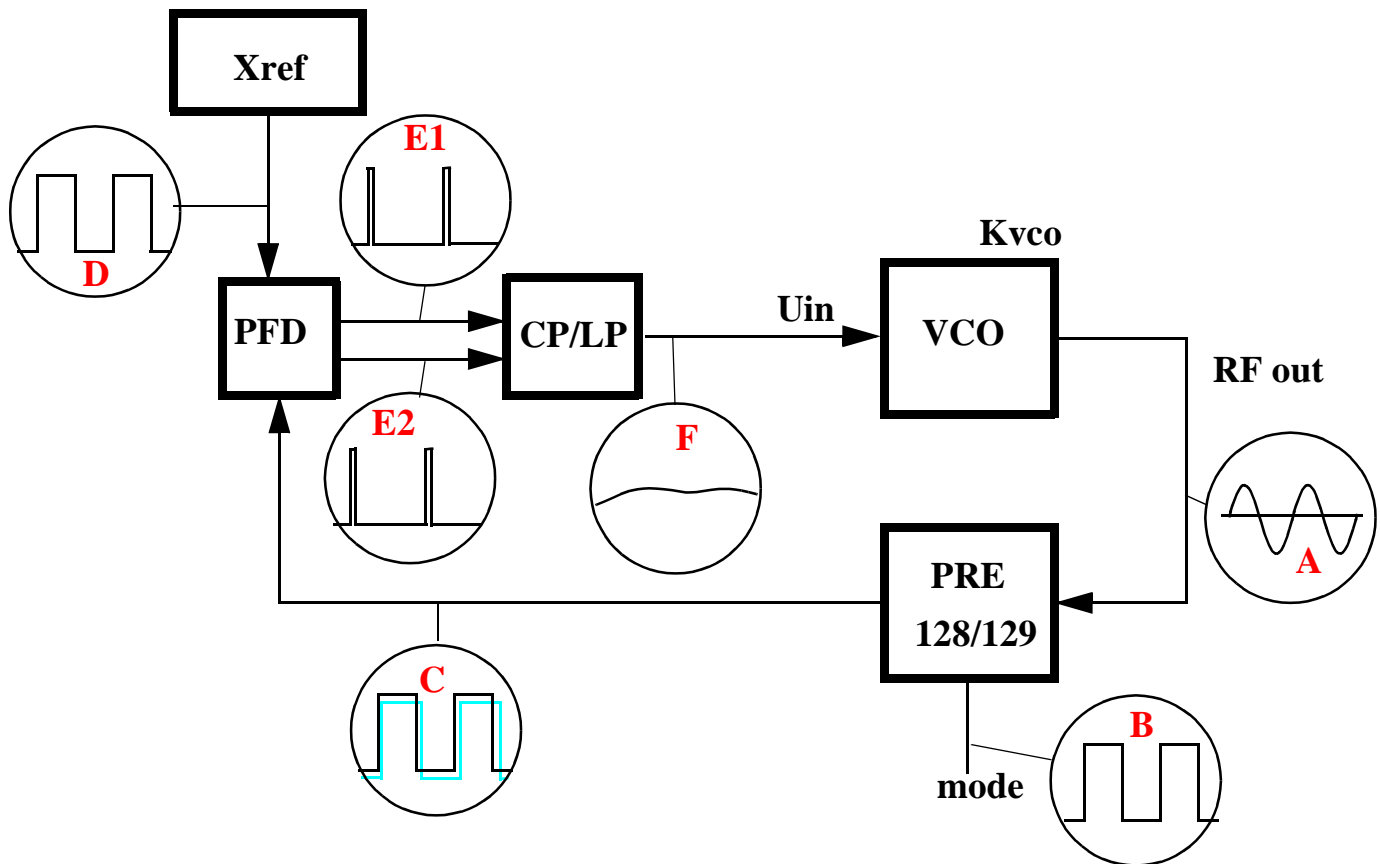


Bild 4: Prinzipschaltung einer einfachen PLL Testschaltung

Am Punkt A in Bild 4 ist das Ausgangssignal eines Hochfrequenzoszillators VCO (eng. voltage controlled oscillator) als typisches HF Sinussignal dargestellt. Die Mittenfrequenz des VCO liegt im Bereich von ein bis zwei GHz. Der Durchstimmbereich des VCO ist typischerweise 100 MHz bis zu einigen hundert MHz. Der Vorteiler PRE (eng. prescaler) erhält dieses HF Sinussignal als Eingangsfrequenz, die je nach Momentanwert des anliegenden Modesignals B in ein niederfrequentes Digitalsignal C umgesetzt wird. Der Phasen-Frequenz Detektor PFD (eng. phase frequency detector) vergleicht die Phasenlage des Signals C mit der Phasenlage eines Referenzsignals D. Dabei wird das Referenzsignal D extern bereitgestellt. Dieses Referenzsignal wird im allgemeinen von einem sehr stabil arbeitenden Kristalloszillator bereitgestellt. Der PFD generiert die digitalen Steuersignale E1, E2. Erscheint die Flanke des Signals vom Frequenzteiler, Signal C, vor der Flanke des Referenzsignals D so wird für diese Zeit ein Signal an E1 ausgegeben. Erscheint umgekehrt die Flanke des Referenzsignals, Signal D, vor der Flanke des Signals vom Frequenzteiler C so wird für diese Zeit ein Signal an E2 ausgegeben. Diese Signale E1, E2 steuern üblicherweise den Ladungszu- und Abfluss einer verlustbehafteten Kapazität. Die zugehörige Schaltung wird als Ladungspumpe CP (eng. charge pump) bezeichnet. Das Zusammenwirken von Ladungspumpe und verlustbehafteter Kapazität wirkt als Integrator und Tiefpassfilter. Die Spannung über der Kapazität bildet ein analoges Steuersignal F. Das Steuersignal F ist mit dem Steuereingang des VCO verbunden. Damit bestimmt der Momentanwert des Steuersignals F die aktuelle Schwingfrequenz des VCO.

4.3.2 Lineare Theorie

Zur Beschreibung des komplexen Systems einer PLL Schaltung werden zwei wesentliche vereinfachende Annahmen gemacht. Erstens werden die einzelnen Schaltungsteile als linear und zweitens als zeitinvariant betrachtet. Inwieweit die erste Näherung zulässig ist, wird in Abschnitt 4.4.3 an Hand der Kennlinien einzelner Teilschaltungen diskutiert. Die Zeitinvarianz ist eine sehr grobe Abstraktion, die praktisch nur für einfache PLL Schaltungen und ohne Frequenzteiler Gültigkeit besitzt. In einer PLL Schaltung mit Frequenzteiler, der die HF mit dem Teilerfaktor N herabsetzt, läuft der VCO praktisch über N Schwingungsperioden frei und wird jeweils dann erst nach dem Phasenvergleich mit einem Korrektursignal versorgt. Um ein Regelverhalten zu erreichen sind in derartigen Systemen mindestens 50 bis 100 derartiger Korrekturen erforderlich (vgl. Bild 21). Sofern also die Bandbreite der Regelschaltung kleiner als ca. $1/50$ bis $1/100$ der Referenzfrequenz X_{ref} ist kann die zeitinvariante Theorie auch das System einer PLL mit Frequenzteiler beschreiben.

Generell wird mit der linearen Theorie der Zustand der Phasenregelschleife im eingerasteten Zustand beschrieben. Als 'eingerastet' wird der Zustand bezeichnet, der eintritt wenn $U_{\text{in}} = \text{const.}$ und die Ausgangsphasenlage F_{out} sich bezüglich der Eingangsphasenlage F_{in} nicht mehr verändert. In Bild 5 bedeuten K_{PD} die lineare Empfindlichkeit des Phasendetektors. G_{LPF} ist die Übertragungsfunktion des Tiefpassfilters. K_{VCO} beschreibt die lineare Frequenzverschiebung eines Oszillators bei linearer Änderung der Eingangsspannung.

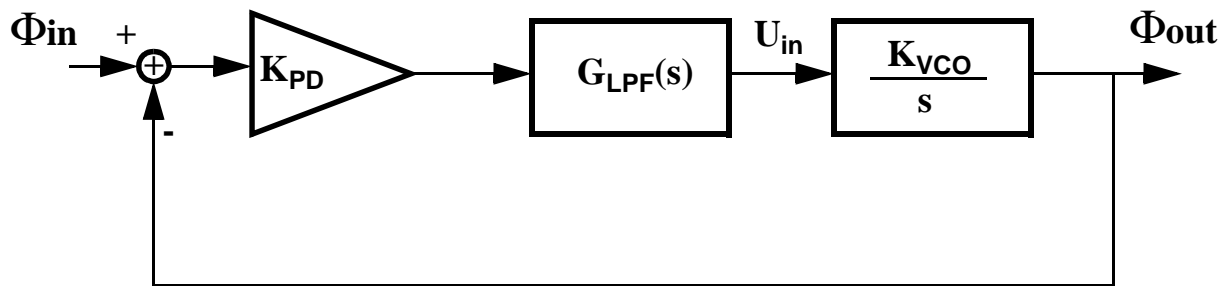


Bild 5: lineares Modell einer PLL ohne Frequenzteiler und ohne Ladungspumpe

Das Modell beschreibt die Phasenregelung des Systems, also:

$$H(s) = \frac{\Phi_{\text{out}}(s)}{\Phi_{\text{in}}(s)}$$

Die Phase wird auch als Regelgröße des Systems bezeichnet.

Im eingerasteten Zustand tritt eine konstante Oszillatorsteuerspannung U_{in} auf. Es gilt dann:

$$\frac{\Phi_{\text{out}}(s)}{\Phi_{\text{in}}(s)} = \text{const}$$

Bei der hier vorgestellten einfachen PLL ohne Frequenzteiler ist im eingerasteten Zustand auch $f_{\text{in}} = f_{\text{out}}$ und die Phasendifferenz zwischen Eingangssignal und Ausgangssignal ist Null.

Eine positive oder negative lineare Veränderung von U_{in} bewirkt eine entsprechende lineare Frequenz- und Phasenverschiebung. Das Phasenverhältnis von Ausgangsphase zur Eingangsphase ist in diesem Fall nicht mehr konstant. Der entsprechende Zeiger beginnt zu rotieren und zwar um so schneller, je weiter U_{in} vom Nullpunkt entfernt ist. Die Richtung der Rotation ist abhängig vom Vorzeichen der angenommenen Abweichung.

Die Laplacetransformierte der für den VCO ermittelten Konstante ist $\frac{K_{\text{VCO}}}{s}$. Diese Größe wird zur Beschreibung der Übertragungsfunktion des VCO benutzt.

Der Phasenvergleich wird als einfache Subtraktion von Referenzphase und der Phase des Ausgangssignals des VCO modelliert. Im eingerasteten Zustand ist diese Differenz konstant und Null.

Mit dem Phasendetektor wird Energie in die Regelschleife eingeführt. In der linearen Theorie ist die entsprechende Energie proportional zur Phasendifferenz und wird mit der Konstante K_{PD} modelliert.

Das Signal des Phasendetektors wird mittels eines Tiefpassfilters geglättet. Bild 6 zeigt ein einfaches Tiefpassfilter, wobei U_{in} die analoge Eingangssteuerspannung des VCO darstellt und U_{PD} das vom Phasendetektor gelieferte Signal.

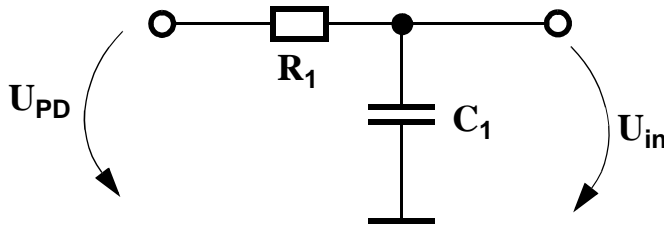


Bild 6: Tiefpassfilter

Die Schleifentransferfunktion für die Phase als Regelgröße kann angegeben werden mit:

$$H(s) = \frac{\Phi_{\text{out}}(s)}{\Phi_{\text{in}}(s)} = \frac{K_{\text{PD}} \cdot K_{\text{VCO}} \cdot G_{\text{LPF}}(s)}{s + K_{\text{PD}} \cdot K_{\text{VCO}} \cdot G_{\text{LPF}}(s)}$$

Die Übertragungsfunktion eines Tiefpassfilters nach Bild 6 berechnet sich nach:

$$G_{\text{LPF}}(s) = \frac{1}{1 + s \cdot R_1 \cdot C_1}$$

Damit wird für diesen speziellen Fall die Schleifentransferfunktion:

$$H(s) = \frac{\Phi_{\text{out}}(s)}{\Phi_{\text{in}}(s)} = \frac{K_{\text{PD}} \cdot K_{\text{VCO}}}{s^2 \cdot R_1 \cdot C_1 + s + K_{\text{PD}} \cdot K_{\text{VCO}}}$$

Das Tiefpassfilter und der VCO liefern jeweils einen Pol der komplexen Funktion $H(s)$, man spricht von einer PLL zweiter Ordnung. Das Produkt $K_{PD} \cdot K_{VCO}$ nennt man die Schleifenverstärkung. Da nur eine der beiden Polstellen eine Nullstelle im Ursprung der Komplexen Ebene ($0+j0$) bildet, wird diese PLL außerdem als Typ I PLL bezeichnet.

Für weitere Informationen über die Theorie von PLL Schaltungen, insbesondere auch bezüglich der Stabilitätskriterien derartiger Schaltungen, sei auf die Literatur [1], [104], [112] verwiesen.

4.4 Schaltungen von Frequenzsynthesizern

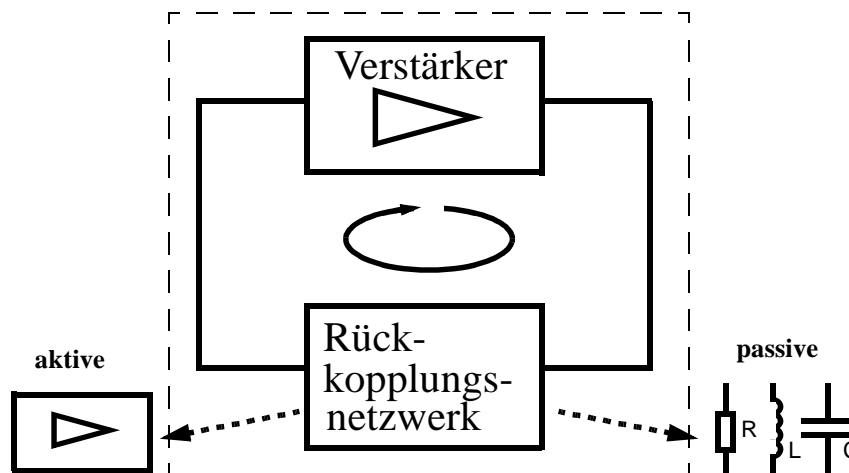
4.4.1 Teilschaltungen

Auf Frequenzteiler DIV (eng. divider, bzw. frequency divider) wird noch ausführlicher in Kapitel 6.0 eingegangen. Die anderen in einem Frequenzsynthesizer verwendeten Teilschaltungen werden hier kurz vorgestellt, damit der Überblick über das Gesamtsystem ermöglicht wird. Für die Bezeichnung eines Teilerfaktors wird in dieser Arbeit stets der Begriff div in Verbindung mit der entsprechenden ganzen Zahl verwendet (also z.B. div17 für einen Teilerfaktor 17).

4.4.1.1 Der spannungsgesteuerte Oszillator VCO

Kritische Designgrößen eines VCO sind das Phasenrauschen und die bei der Arbeitsfrequenz minimal erforderliche Verlustleistung. Das Phasenrauschen beeinflusst im wesentlichen die Übertragungsqualität eines Transceivers (englisches Kunstwort deutsch: Sende-Empfangssystem). Die Verlustleistung eines VCO beeinflusst wesentlich die erreichbare maximale Betriebszeit batteriebetriebener Systeme.

Ein Oszillator muss die Barkhausenbedingungen erfüllen :



$$(1) \quad | \text{gain}_{\text{loop}} | = 1$$

$$(2) \quad \Phi_{\text{loop}} = n * 2 \pi ; n = 0, 1, 2, 3, \dots$$

Bild 7: Barkhausenkriterien für oszillierende Systeme

Der Betrag der mittleren Schleifenverstärkung in einer geschlossenen Schleife muss gleich 1 sein. Das Ausgangssignal eines Leistungsverstärkers mit einer $n \cdot 2\pi$ Phasendrehung muss erneut am Eingang dieses Leistungsverstärkers erscheinen. Damit gleicht der Leistungsverstärker die Verluste im Rückkopplungsnetzwerk aus.

Bei MOS Schaltungen ist die in Bild 8 gezeigte Schaltung gebräuchlich. Zwei kreuzgekoppelte Transistoren entdämpfen einen als Last geschalteten passiven LC-Schwingkreis, wobei die Kapazitäten hier mittels der MOS Kapazitäten T3, T4 gebildet werden.

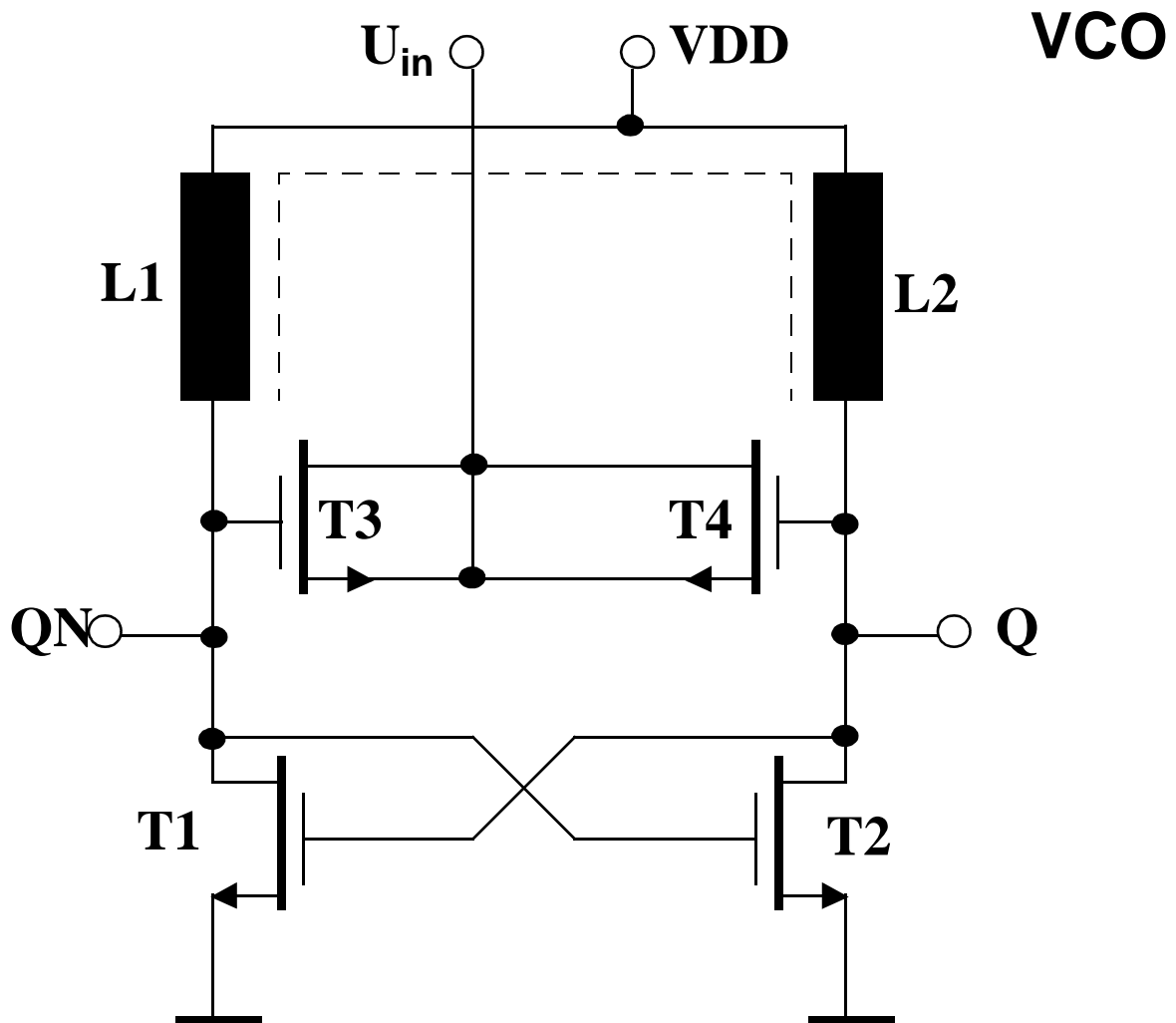


Bild 8: Schaltung eines VCO mit MOS Transistoren

Diese Schaltung liefert zwei um π phasenverschobene Ausgangssignale Q, QN. Monolithisch integrierte Varianten derartiger Schaltungen können heute die Spezifikationen von DECT und BLUE-TOOTH bezüglich des Phasenrauschens und der Arbeitsfrequenzen bei Verlustleistungen um 1 mW erfüllen.

4.4.1.2 Der Phasenvergleich

Der Phasenvergleich erfolgt mit einer digitalen Schaltung nach [1], Bild 9. Die Schaltung hat gegenüber Phasendetektoren mit XOR Gattern den Vorteil, dass sie sowohl Phasen- als auch Frequenzempfindlich arbeitet und damit größere Einfangbereiche zulässt. Die Ausgangssignale von zwei flankengetriggerten D-Flip-Flop werden jeweils von der Kristallreferenz und vom Ausgangssignal des Frequenzteilers auf 1 gesetzt. Sind beide Ausgangssignale gesetzt, erfolgt ein gemeinsames Zurücksetzen beider D-Flip-Flop.

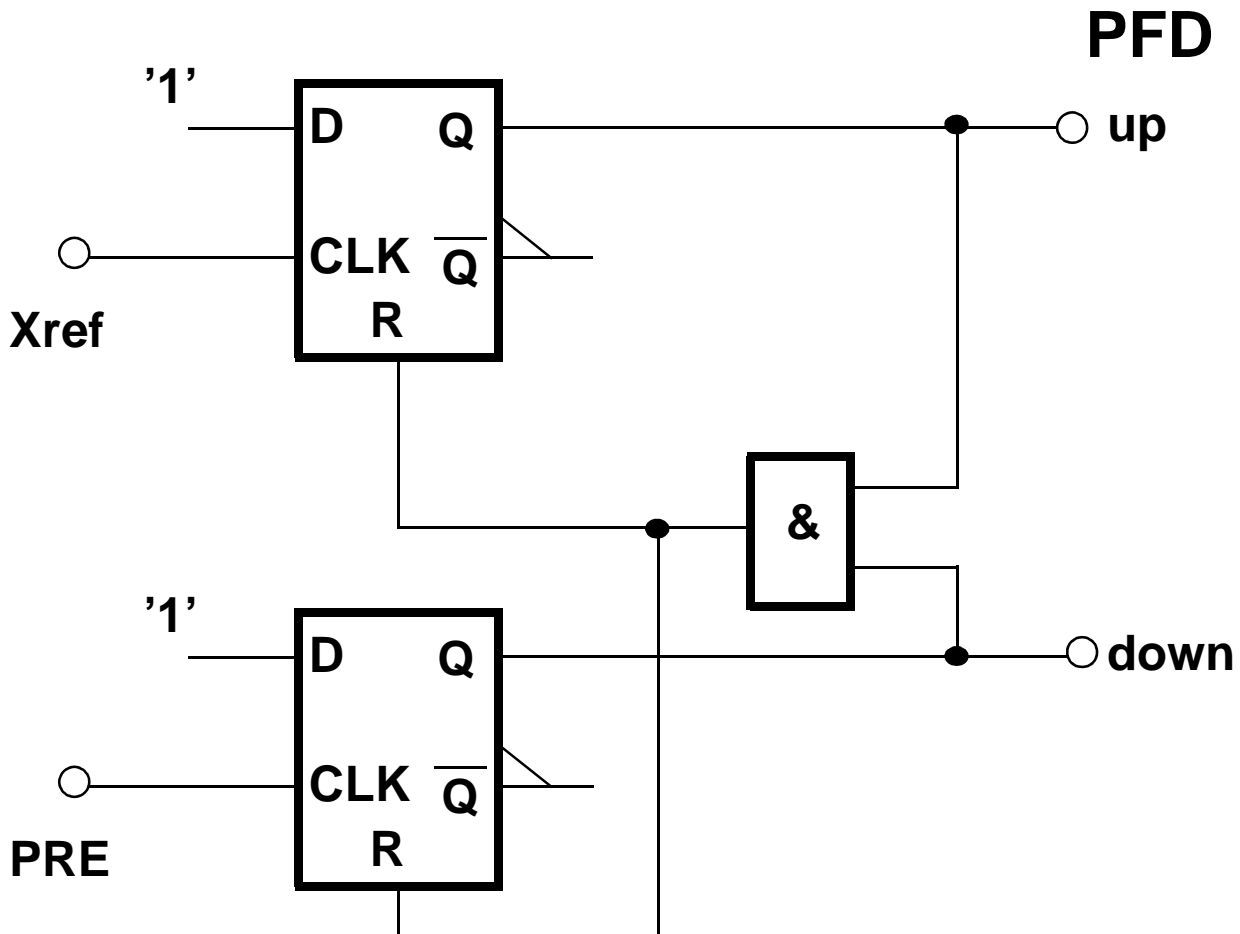


Bild 9: Phasenvergleichsschaltung nach [1]

Die digitalen Ausgangssignale dieser Schaltung (up, down) können direkt für die Ansteuerung einer Ladungspumpe verwendet werden. Auch wenn die Schaltung nur mit der niedrigen Frequenz im Bereich der Kristallreferenz arbeitet, ist eine sehr schnelle Logik erforderlich. Die eigentliche Information ist hier in der Phasendifferenz zwischen X_{ref} und PRE Signal enthalten und diese kann im ps Bereich liegen. Im eingerasteten Zustand der PLL erscheinen X_{ref} Flanke und PRE Flanke exakt gleichzeitig. An up und down wird dann jeweils gleichzeitig ein sehr kurzer Impuls der Dauer t_r erscheinen, der im wesentlichen von der Verzögerung der für das Zurücksetzen verwendeten AND-Schaltung bestimmt wird. Entsteht zwischen X_{ref} und PRE Signal eine Zeitdifferenz, so wird eines der Ausgangssignale mit einer größeren Pulsbreite $(X_{\text{ref}} - \text{PRE}) + t_r$ generiert, während das andere weiterhin den sehr kurzen Impuls der Dauer t_r erhält. Werden in einer nachfolgenden Schaltung MOS Transistoren unterschiedlicher Leitfähigkeit eingesetzt, so kann einer der Q Ausgänge für up oder down eingesetzt werden, um die dann erforderlichen negierten Signale zu erhalten.

4.4.1.3 Die Ladungspumpe und der Schleifenfilter

Die frequenzgenerierenden Oszillatoren reagieren oft sehr empfindlich auf Eingangssignaländerungen. Bei einem Durchstimmbereich von 100 MHz und einer üblichen Eingangsempfindlichkeit von 1 V für diesen Bereich ist die Frequenzdrift bereits 100 kHz pro mV. Da aber die Frequenz in den verschiedenen Standards sehr genau eingehalten werden muss, ist i.a. eine sehr feine Veränderung der analogen Eingangsgröße des VCO erforderlich. Diese Funktion übernehmen Ladungspumpen. Ladungspakete von wenigen 10^6 Elektronen generieren auf einer entsprechend dimensionierten Speicherkapazität die gewünschte kleine Spannungsänderung. Dazu werden schnelle, schaltbare Stromquellen eingesetzt, die für sehr kurze Zeiten, im ns Bereich, an eine Speicherkapazität geschaltet werden können. Je nach Stromrichtung kann so, vermittelt der digitalen Schaltsignale, eine Aufladung oder eine Entladung dieser Kapazität erreicht werden, Bild 10.

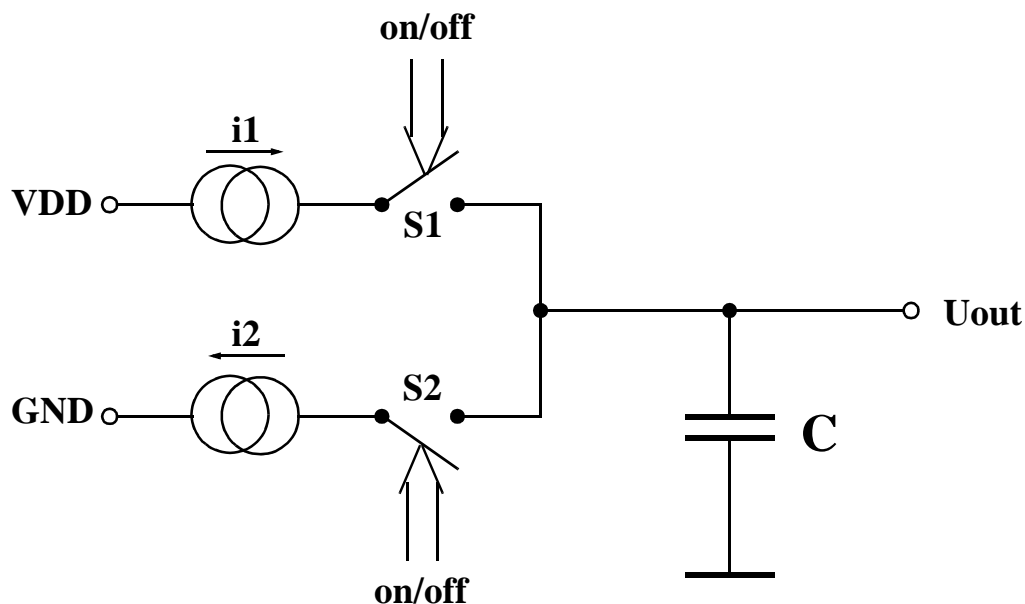


Bild 10: Ersatzschaltung zur Erläuterung der Funktion einer Ladungspumpschaltung ohne Ladungsverluste

Die über der Speicherkapazität liegende Spannung kann direkt an den Steuereingang des VCO geschaltet werden. Meist wird jedoch noch ein weiteres Tiefpassfilter zwischengeschaltet, um hochfrequente Störsignale der Schalter S1, S2 heraus zu filtern.

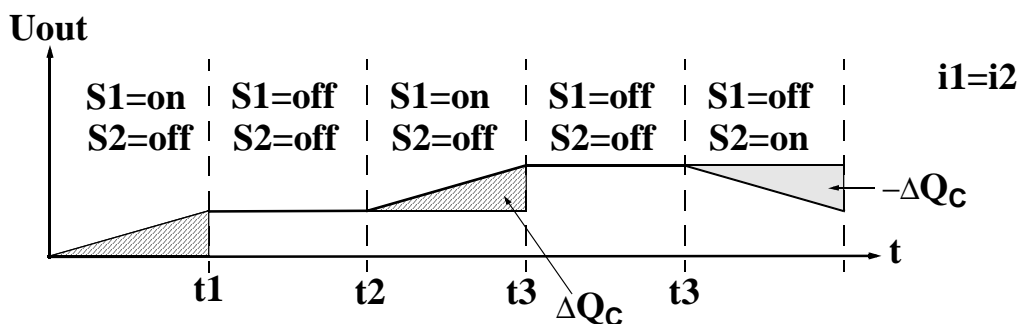


Bild 11: Zeitlicher Verlauf der Spannung Uout in Bild 10

Bild 11 zeigt den Signalverlauf der Spannung über der Speicherkapazität, wenn ideale Stromquellen mit $i_1=i_2$ verwendet werden. Die schraffierten Flächen in Bild 11 kennzeichnen die Ladungsänderungen auf der Speicherkapazität. Für $i_1=i_2$ ist auch der Fall $S_1=on$ und $S_2=on$ möglich ohne eine Signaländerung an der Kapazität. Dieser Fall wird jedoch praktisch aus zwei Gründen vermieden.

Erstens erreicht man in der Praxis selten exakt $i_1=i_2$ und zweitens wird damit unnötig Energie verbraucht, da ein direkter Strom von VDD gegen GND fließt.

Als Ladungspumpe werden meist MOS Transistoren verwendet. Damit ist es möglich, Ladungen von einer Betriebsspannung auf eine Kapazität fließen lassen und Ladungen von dieser Kapazität gegen ein Massepotential abfließen zu lassen. Die entsprechenden Transistoren werden jeweils mit dem up und down Signal des PFD angesteuert. Aus Arbeitspunktgründen können dabei Transistoren mit unterschiedlicher Leitfähigkeit eingesetzt werden, wobei natürlich auch die Polarität des ansteuernden Signals gewechselt werden muss. Da die Schaltung in Bild 9 auch negierte Signale bereitstellt, ist das kein Problem.

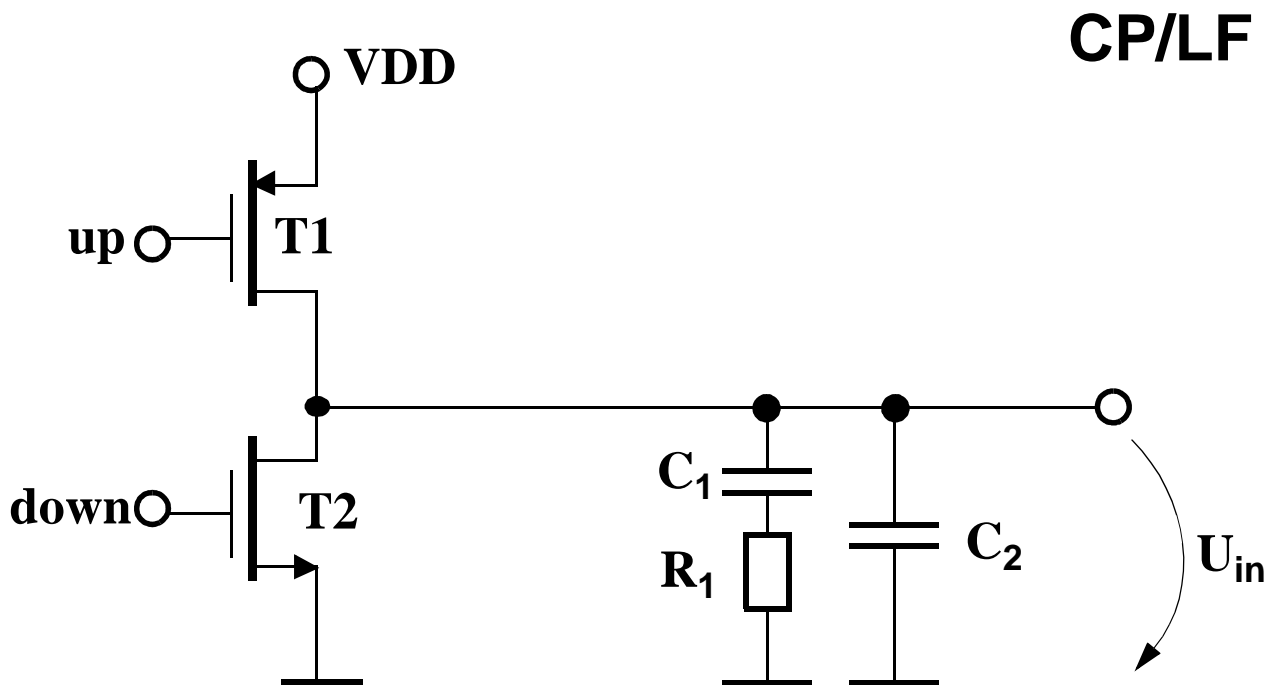


Bild 12: Einfache Ladungspumpe und Schleifenfilter

Die Ladungspumpe stellt die Schnittstelle zwischen dem digitalen Teil der Schaltung (Frequenzteiler und PFD) und dem analog arbeitenden Teil der Schaltung (Schleifenfilter und VCO) dar. Hier entstehen auch die größten Störungen im System, da die sehr steilen Impulse an up und down natürlich zu erheblichen Störungen des VCO Eingangssignals U_{in} führen. Aus diesem Grunde existieren einige Strategien, um mittels eines geeigneten Designs diesen Störungen entgegenzuwirken. Beispielsweise werden die aus Abtastschaltungen bekannten Kompensationstransistoren parallel zu T1, T2 angeordnet und mit den entsprechend negierten Signalen gespeist. Außerdem werden keine Transistoren der kürzesten Kanallänge für T1, T2 genutzt, um Ströme zu erhalten, die möglichst unabhängig von der Eingangssignalform und Flankenbeschaffenheit sind. Das führt jedoch zu größeren gespeicherten Kanalladungen, so dass ein Kompromiss erforderlich ist. Alle diese Maßnahmen beseitigen jedoch nicht die eigentliche Ursache der Störungen. Im Abschnitt 4.5 wird gezeigt werden, wie eine weit effektivere Störsignalunterdrückung erreicht werden kann.

4.4.2 PLL Schaltung

Die Zusammenschaltung der oben beschriebenen Teilschaltungen zu einer kompletten PLL wird in Bild 13 gezeigt. Auf Grund der hier gewählten Oszillationsfrequenz $f_{VCO}=1.9\text{GHz}$ (das entspricht dem DECT Standard) und dem Teilerfaktor von $\text{div}128/129$ des Frequenzteilers liegt die Kristallreferenzfrequenz bei ca. 14,8 MHz. Die hier gezeigte Test PLL Schaltung enthält zwar den Dual-Mode-Vorteiler, nicht jedoch die erforderlichen programmierbaren Frequenzteiler für die Kanalselektion. Damit kann diese einfache Testschaltung nur zwei definierte Frequenzen erzeugen.

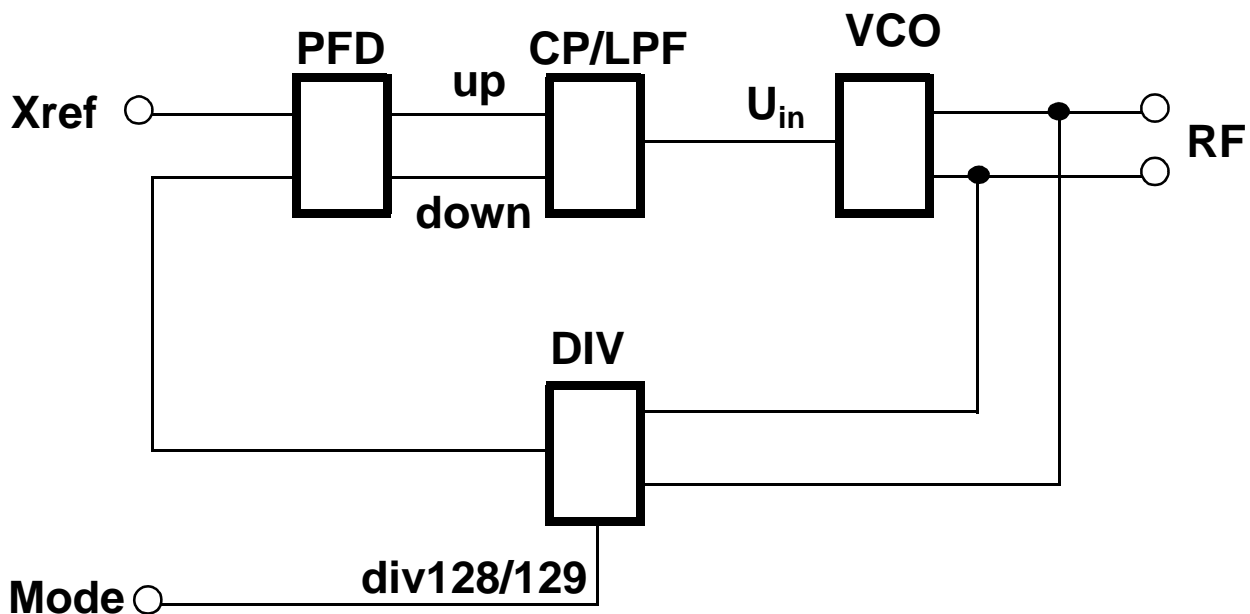


Bild 13: PLL Testschaltung

Je nach aktuell anliegendem Mode-Signal wird ein Ausgangssignal RF gebildet welches in der Frequenz um den Faktor 128 oder 129 größer als die verwendete X_{ref} Frequenz ist. Im Anhang 12.0 wird ein komplettes Design für eine solche monolithisch integrierte Test PLL in einer 350 nm digital CMOS Technologie vorgestellt.

4.4.3 Grenzen der linearen Theorie

4.4.3.1 Die Nichtlinearität des VCO

Die erste Vereinfachung im linearen Modell betrifft die Übertragungsfunktion des VCO. Praktische Schaltungen besitzen eine in Bild 14 dargestellte statische Kennlinie.

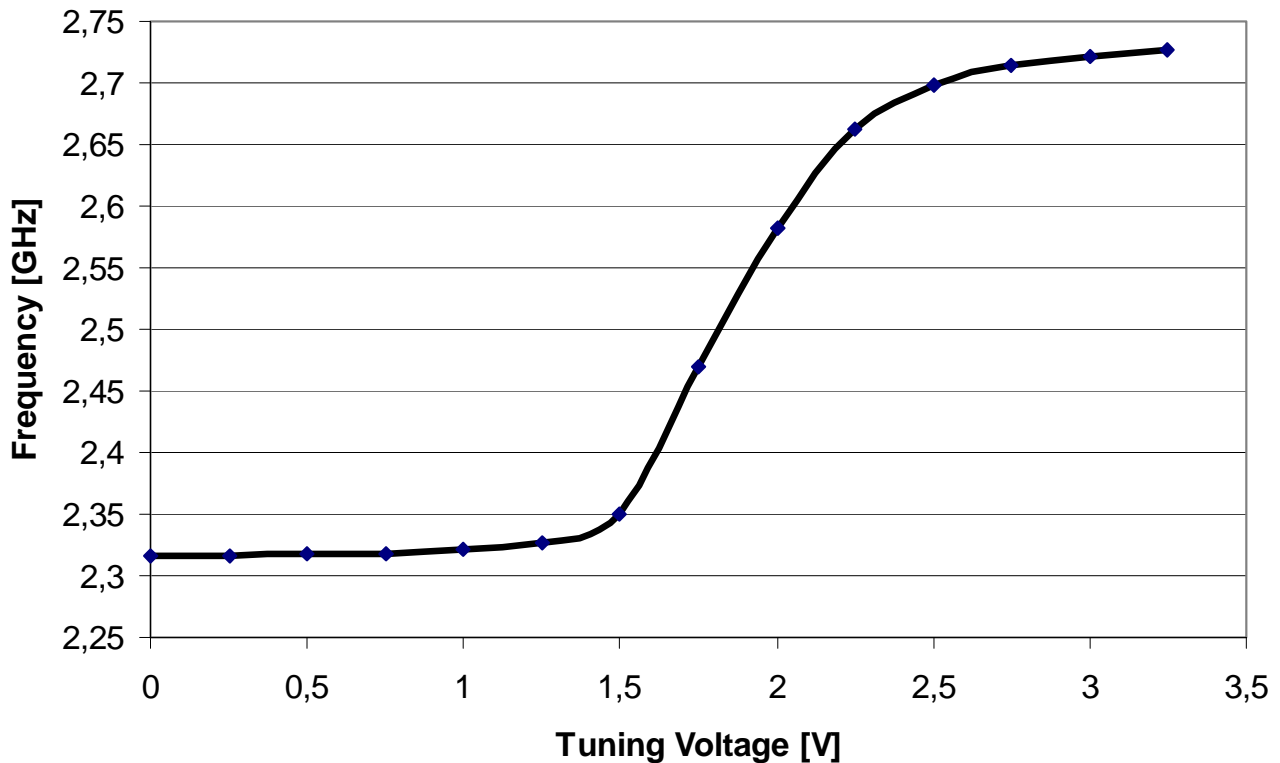


Bild 14: Statische Übertragungskennlinie eines VCO

Diese Kennlinie ist keinesfalls linear. Deshalb ermittelt man den Anstieg im prognostizierten Arbeitsbereich und verwendet für alle auftretenden Eingangsspannungen U_{in} diesen konstanten Wert K_{VCO} . Eine weitere notwendige Voraussetzung, die von praktischen Schaltungen allerdings recht gut erfüllt wird, ist, dass keine nennenswerte zeitliche Verzögerung zwischen der Veränderung von U_{in} und der Frequenzverschiebung des VCO auftritt.

Soll die reale Übertragungsfunktion genutzt werden, so ist die in Bild 14 gezeigte Kurve nach U_{in} zu differenzieren und man erhält eine entsprechende Funktion $K_{VCO}(U_{in})$.

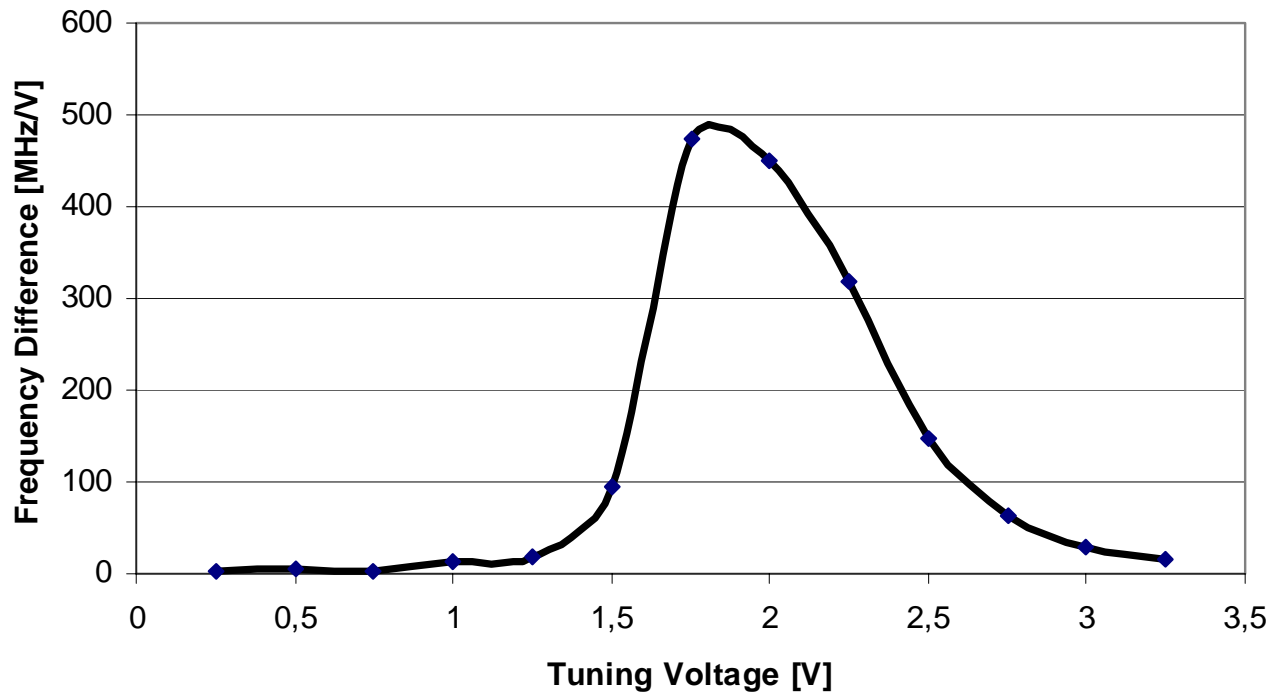


Bild 15: Anstieg der Übertragungskennlinie eines VCO

Im Bereich von 1.5 V bis 2.5 V kann man mit einer Konstante von ca. 320 MHz/V gerechnet werden. Im Bild 15 erkennt man aber die entsprechenden Fehler einer solchen vereinfachenden Annahme.

4.4.3.2 Der Einfluss eines Frequenzteilers

Im einfachen Modell der PLL nach Bild 5 ist im eingerasteten Zustand die Ausgangsfrequenz gleich der Eingangsfrequenz. Es ist also gar kein Frequenzteiler vorhanden. In vielen PLL Schaltungen wird jedoch ein Frequenzteiler zwischen den Ausgang des VCO und den Eingang des PFD geschaltet. Damit ist es möglich, die wesentlich niederfrequenten und stromsparenden aber sehr frequenzstabil arbeitenden Kristallreferenzen zum Phasenvergleich zu nutzen. Gleichzeitig kann jetzt aber eine um den Teilerfaktor größere Frequenz mit dem VCO generiert und phasenstarr an die Kristallreferenz gekoppelt werden.

Die Einflüsse eines Frequenzteilers auf das dynamische Verhalten der PLL werden in der einfachen Theorie ignoriert. Als Erweiterung des Modells wird ausschließlich ein Multiplikationsfaktor, der dem Teilverhältnis des Frequenzteilers entspricht, für die Frequenztransformation angenommen. Das ist eine Annahme, die nur im eingerasteten Zustand gegeben ist, welche diese lineare Theorie ja beschreibt. Die Frequenz selbst tritt im Modell gar nicht in Erscheinung. Aber die Schleifendynamik wird natürlich beeinflusst, da nicht mehr jede Flanke des VCO zum Phasenvergleich genutzt wird sondern nur noch aller N Schwingungsperioden ein Phasenvergleich stattfindet, der zu einem Korrektursignal verarbeitet werden kann. Die Reaktionszeit auf Frequenzsprünge bzw. das Einschwingverhalten einer solchen PLL Schaltung wird entsprechend langsamer.

Reale Frequenzteiler nehmen selbstverständlich noch einen weitergehenden Einfluss auf das dynamische Systemverhalten. Der Frequenzteiler erhält ein hochfrequentes Signal und liefert ein niederfrequentes, bandbegrenztes Signal. Damit besitzt jeder Frequenzteiler einen Tiefpasscharakter. Die möglicherweise im Eingangssignal vorhandenen Informationen z.B. von Frequenzdrift o.ä. werden

gespeichert und können erst mit der nächsten Ausgangsimpulsflanke wirksam werden. Beispielsweise liefern alle in Bild 16 dargestellten möglichen Eingangssignale eines Frequenzteilers das gleiche Ausgangssignal. Damit verbunden ist ein Informationsverlust.

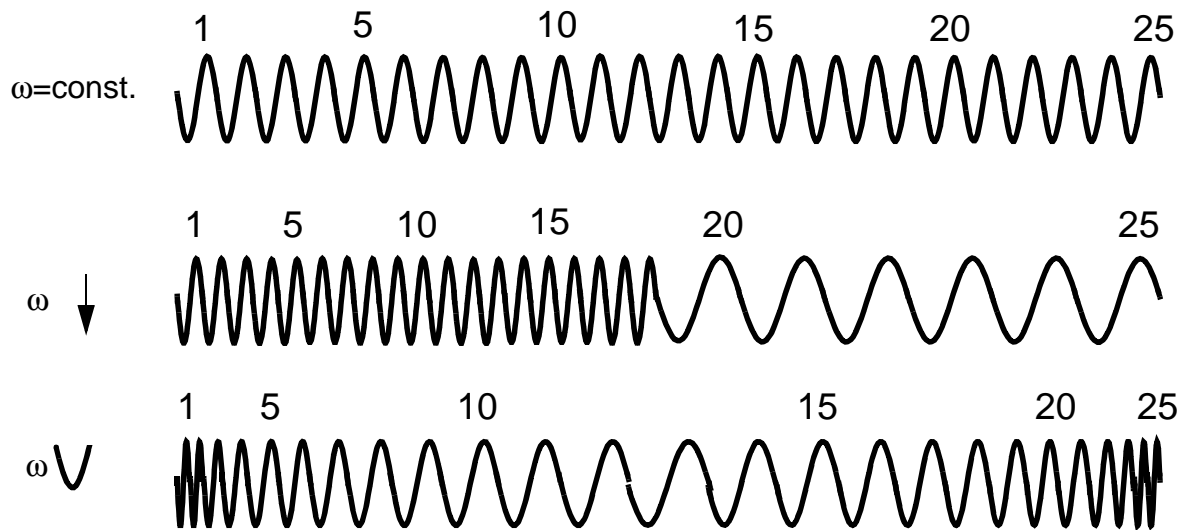


Bild 16: Eingangssignalverläufe am Frequenzteiler

Im eingerasteten Zustand beträgt in der linearen Theorie und ohne einen Frequenzteiler die Phasendifferenz zwischen VCO Signal und X_{ref} Signal Null. Da ein Frequenzteiler ein integrales Verhalten besitzt und Informationen speichert, existiert mit einem solchen Frequenzteiler auch im eingerasteten Zustand stets ein absoluter, aber konstanter, Phasenfehler zwischen dem Referenzsignal und dem VCO Ausgangssignal. Dieser Phasenfehler kann beliebige Werte zwischen 0 und 2π annehmen.

Auch Frequenzteiler liefern Beiträge zum Gesamtphasenrauschen einer PLL Schaltung. In einer Arbeit [8] wurde das Phasenrauschen von Frequenzteilern gemessen und für eine GaAs und Si Bipolartechnologie verglichen. Die Frequenzteilung mit dem Faktor N reduziert die Phasenrauschleistung gemessen am Schaltungseingang (und vom Oszillator generiert) um N^2 , gemessen am Schaltungsausgang. Die Theorie zur Phasenrauschcharakteristik von Frequenzteilern ist in [114] beschrieben worden. Die gesamte eigene Phasenrauschleistung eines Frequenzteilers liegt typischerweise um ca. 20 dB bis 30 dB unter der Phasenrauschleistung integrierter Oszillatoren und wird deshalb zumindest für mobile Anwendungen meist ignoriert.

Der Phasenjitter der Ausgangstreiberstufe eines Frequenzteilers ist typischerweise dominant gegenüber der im Hochfrequenzteil generierten Phasenrauschleistung und wird nahezu ausschliesslich von der in dieser Ausgangstreiberstufe umgesetzten Verlustleistung sowie der zu treibenden Lastimpedanz bestimmt.

4.4.3.3 Modellierung von PLL Schaltungen mit Ladungspumpen

Ladungspumpen liefern eine unendliche Verstärkung für eine endliche statische Phasendifferenz am Phasendetektor. Damit können sowohl der Einfangbereich als auch die Reaktionszeit einer PLL auf Frequenzsprünge verkürzt werden. Da außerdem Ladungspumpen sehr einfach in einer CMOS Technologie realisierbar sind, werden sehr oft derartige Schaltungen verwendet.

Die Übertragungsfunktion von Phasendetektor und Ladungspumpe ist die eines Integrators und wird in der linearen Theorie mit $\frac{K_{PFD}}{s}$ modelliert. In der Praxis ist auch das nicht exakt gegeben, da die Steilheit g_m der für die Stromquellen der Ladungspumpe verwendeten Transistoren abhängig vom Arbeitspunkt ist. Durch ein entsprechendes Design kann aber versucht werden, dem Stromquellenideal so nahe wie möglich zu kommen, dass es auch davon abweichende Designstrategien geben kann, wird im Kapitel 4.5 noch erläutert werden.

Die mit $\frac{K_{PFD}}{s}$ verbundene zusätzliche Polstelle in der Übertragungsfunktion führt jedoch zu einem instabilem Verhalten des Systems. Die mit der Ladungspumpe in das System eingekoppelte Energie wächst nämlich stetig an. Ein derartiges System wird deshalb ungedämpfte Regelschwingungen um den Zielwert herum ausführen. Aus diesem Grunde wird nach der Ladungspumpe meist ein verlustbehafteter Tiefpass in den Regelkreis geschaltet, mit dessen Dimensionierung gleichzeitig das Zeitverhalten der Schaltung optimiert werden kann.

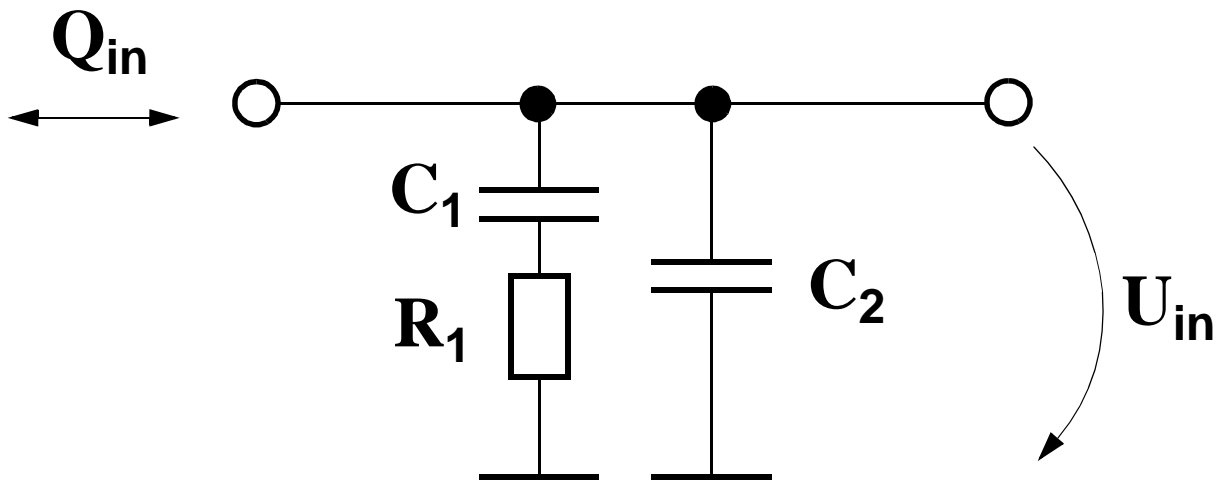


Bild 17: Verlustbehafteter Tiefpass nach der Ladungspumpe

Die Schaltung nach Bild 17 besitzt die folgende Übertragungsfunktion:

$$G_{LPF}(s) = \frac{1}{s^2 \cdot C_2 C_1 R_1 + s \cdot C_2 + 1}$$

Eine in sehr kurzer Zeit bezogen auf die Referenztaktperiode von der Ladungspumpe gelieferte Ladung Q_{in} , welche auch ein negatives Vorzeichen besitzen kann, führt zu einer entsprechenden Spannungsänderung ΔU_{in} am Ausgang. Dabei soll diese sehr kurze Zeit wesentlich kleiner als $\tau = R_1 \cdot C_1$ sein. Deshalb wird zunächst nahezu ausschließlich die Kapazität C_2 umgeladen. Der Spannungssprung an U_{in} ist zu diesem Zeitpunkt größer als es für das exakte Treffen des Zielwertes erforderlich wäre. Eine derartige Überschätzung des Stellwertes für den VCO ist deshalb erforderlich, weil nur mit einer über dem Zielwert liegenden Schwingfrequenz eine nachlaufende Phasenlage und nur mit einer unterhalb der Zielfrequenz liegenden Schwingfrequenz eine voreilende Phasenlage korrigiert werden kann, sofern K_{VCO} positiv ist. Mit der Zeitkonstante von $\tau = R_1 \cdot C_1$ wird danach innerhalb der Referenztaktperiodendauer die Umverteilung eines Teiles der Ladung von C_2 nach C_1 erfolgen. Dabei wird die zuvor eingestellte Überschätzung zurückgeführt auf einen Spannungswert

U_{in} , der näher am Zielwert liegt als vor dieser Taktperiode. Im eingeschwungenen Zustand ändert sich die Spannung U_{in} des Tiefpassfilters theoretisch nicht mehr, so dass dann die Wirkung von R_1 vollständig entfällt und nur noch die Summe der Kapazitäten von C_1 und C_2 wirksam ist und Ladung speichert.

Die resultierende Übertragungsfunktion einer geschlossenen PLL Schaltung mit Ladungspumpe und dem in Bild 17 dargestellten Tiefpassfilter berechnet sich demnach zu:

$$H(s) = \frac{\Phi_{out}(s)}{\Phi_{in}(s)} = \frac{K_{PD} \cdot K_{VCO}}{s^3 \cdot C_2 C_1 R_1 + s^2 \cdot C_2 + s + K_{PD} \cdot K_{VCO}}$$

Die Übertragungsfunktion von PLL Schaltungen mit Ladungspumpe und einfachen Tiefpassfiltern besitzen drei Polstellen. Zwei dieser Polstellen bilden Nullstellen im Ursprung der komplexen Ebene. Derartige Schaltungen werden deshalb als Typ II PLL dritter Ordnung bezeichnet [1].

4.5 Störsignalunterdrückung in PLL Schaltungen

Die Schaltung der Ladungspumpe CP wird vom up und down Signal des Phasendetektors PFD angesteuert. Bild 18 zeigt den Verlauf dieser digitalen Signale im (fast) eingeschwungenen Zustand aus einer Simulationsrechnung. Eine exakte Übereinstimmung ist unmöglich. Nur die Bilanz der Ladungen, welche auf die Filterkapazität gepumpt werden, ist im eingeschwungenen Zustand ausgeglichen, nicht jedoch der zeitliche Verlauf, wann diese Ladungen am Schleifenfilter erscheinen bzw. verschwinden. Damit ist aber auch sofort ersichtlich, dass trotz aller Versuche die Ströme der Pumptransistoren gleich zu machen, Kompensationstransistoren der entgegengesetzten Leitfähigkeit zur Kompensation der Schaltflanken einzusetzen usw. stets eine Störung während des Zeitpunktes des Ladungspumpens in dieser Architektur auftreten wird. Die Störung kann durch ein sorgfältiges Design kleiner gestaltet, jedoch nicht verhindert werden. Das ist insbesondere auch deshalb so, weil die up und down Signale aus Geschwindigkeitsgründen mit der höchstmöglichen Flankensteilheit generiert werden. Deshalb geht jede bekannte Maßnahme der Störimpulsunterdrückung an der eigentlichen Ursache, der Entstehung der Störung, vorbei.

Die Impulse up, down am Eingang dieser Ladungspumpe sind in diesem Beispiel zueinander negiert, weil für das up und down pumpen Transistoren mit unterschiedlicher Leitfähigkeit genutzt werden.

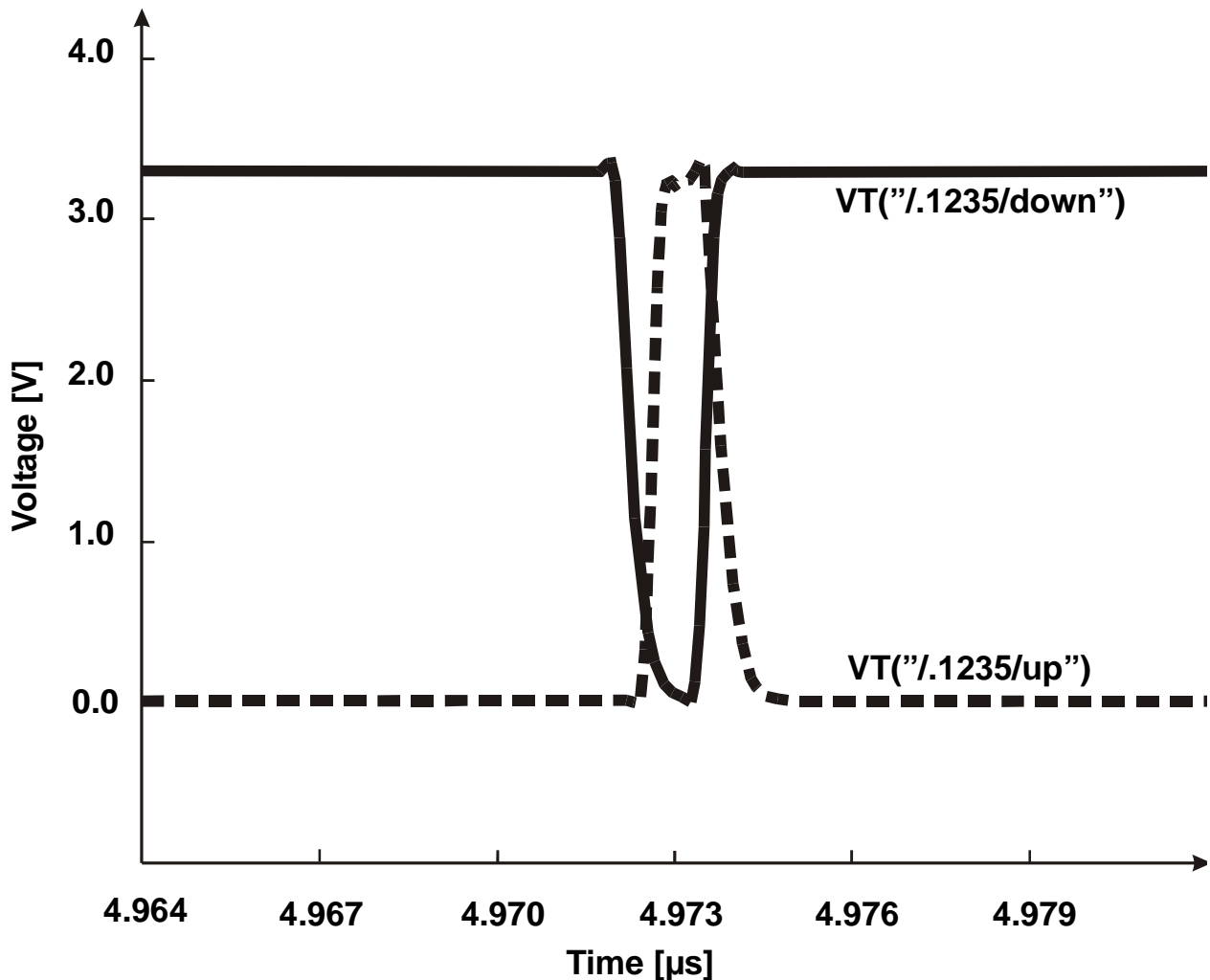


Bild 18: Impulsformen up, down am Eingang der Ladungspumpe

Um dennoch das Störsignal im eingeschwungenen Zustand effektiv unterdrücken zu können ist also eine zusätzliche Schaltung erforderlich.

Wir benutzen die folgende Information:

Im eingeschwungenen Zustand werden immer dann up und down Signale generiert, wenn eine X_{ref} Flanke der Kristallreferenz erscheint.

Da die X_{ref} Flanke in der Schaltung meist mittels einiger Flip-Flop konditioniert wird, können wir vor dem Erscheinen dieser Flanke am PFD die Filterkapazität mittels langsam schaltender Transistoren aufteilen. Ein Teil der Kapazität verbleibt an der Ladungspumpe um die neu gepumpte Ladung aufzunehmen. Ein anderer Teil hält die Spannung für den Oszillator bereit und das Potential auf dieser Kapazität wird direkt während des Ladungspumpens hier nicht verändert. Die Regelschleife ist in diesem Zustand aufgetrennt und der Oszillator läuft frei. Sind die Pumpimpulse vorbei, so werden erneut, möglichst langsam um keine weiteren Störungen zu generieren, die beiden kurzzeitig aufgetrennten Kapazitäten verbunden. Damit kann die Ladung zwischen beiden Kapazitäten ausgeglichen werden und die Regelschleife ist damit wieder geschlossen. Der Oszillator läuft jetzt mit einer veränderten Filterspannung, sofern er sich noch nicht im eingerasteten Zustand befindet.

Dazu zeigt Bild 19 die neu entworfene Schaltung.

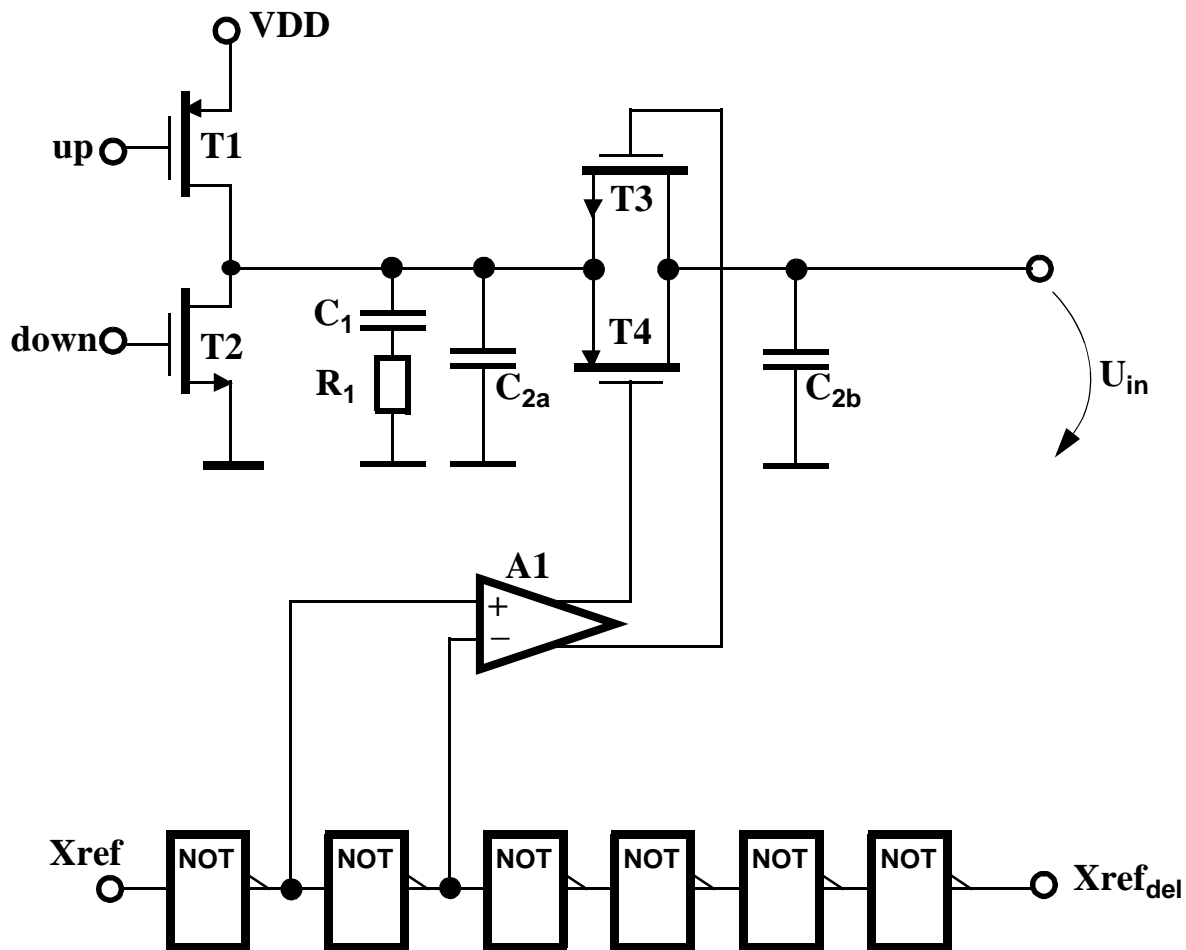


Bild 19: Schaltung zur Störsignalunterdrückung in PLL Schaltungen

Der PFD erhält das X_{ref} Signal über eine Kette von Invertern verzögert als X_{refdel} Signal. Der Differenzverstärker A1 sorgt für zeit- und pegelgleiche Signale an den zusätzlich angeordneten Schalttransistoren T3, T4 und reduziert gleichzeitig die sehr große Flankensteilheit der digitalen Eingangssignale. Die in C_{2a} und C_{2b} aufgeteilte Kapazität soll bezüglich der sehr kurzen Pumpimpulse langsam getrennt und verbunden werden, um weitere zusätzliche Störeinkoppelungen zu vermeiden. Erscheint eine X_{ref} Flanke, so werden die Transistoren T3, T4 ausgeschaltet und sind damit im hochohmigen Zustand. Hat diese Schaltflanke die Inverterkette passiert, so erfolgt der Phasenvergleich am PFD mit den bekannten Störsignalen an C_{2a} . Der VCO wird jedoch nicht beeinflusst, da er zu diesem Zeitpunkt mit der über C_{2b} liegenden Spannung frei läuft. Die negierte Flanke von X_{ref} führt zu einer Öffnung der Transistoren T3, T4, so dass ein Ladungsausgleich zwischen den Kapazitäten C_{2a} und C_{2b} stattfinden kann. Im noch nicht eingerasteten Zustand wird damit die Spannung U_{in} entsprechend verändert, im eingerasteten Zustand sind die Spannungen über C_{2a} und C_{2b} ohnehin gleich.

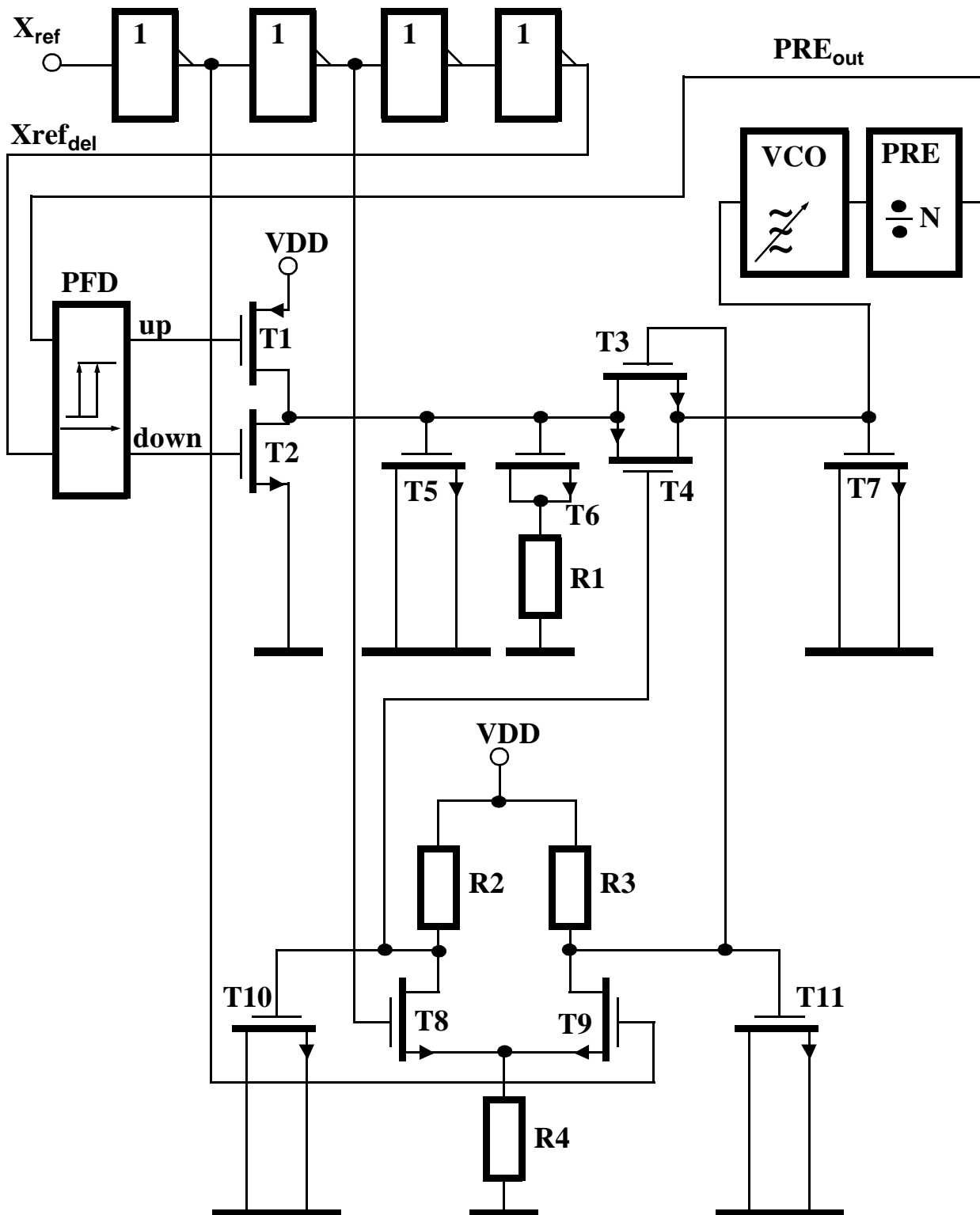


Bild 20: Nachbildung des Differenzverstärkers mit MOS Transistoren

Die Kapazität C_{2a} ist in Bild 20 mit dem Transistor T5 und die Kapazität C_{2b} mit dem Transistor T7 nachgebildet. Die Transistoren T8, T9 bilden den Analogverstärker. Um geringe Flankensteilheiten an den Schalttransistoren T3, T4 zu erreichen werden die Ausgänge dieses Analogverstärkers jeweils mit den als Kapazität geschalteten Transistoren T10, T11 belastet.

In einer solchen Architektur ist nicht mehr die Störpulsunterdrückung der Ladungspumpe vorrangiges Ziel, sondern die Schirmung der unvermeidlichen Störung zum Zeitpunkt ihrer Entstehung

gegen den Oszillator. Die in bestehenden Designs geforderte Eigenschaft eines Stromquellenverhaltens für die Transistoren der Ladungspumpe wird hier ebenfalls unkritisch. Da ausschließlich die Ladungsbilanz und nicht der zeitliche Verlauf, wie diese Ladung auf die speichernde Kapazität gelangt, von essentieller Bedeutung ist, können einfache Schalttransistoren für die Ladungspumpe verwendet werden.

Die entstehenden Signale bis hin zum fast eingeschwungenen Zustand werden in Bild 21 gezeigt. Das X_{ref} Signal und das PRE_{out} Signal sind digitale Signale mit ca. 3.3 V Signalhub.

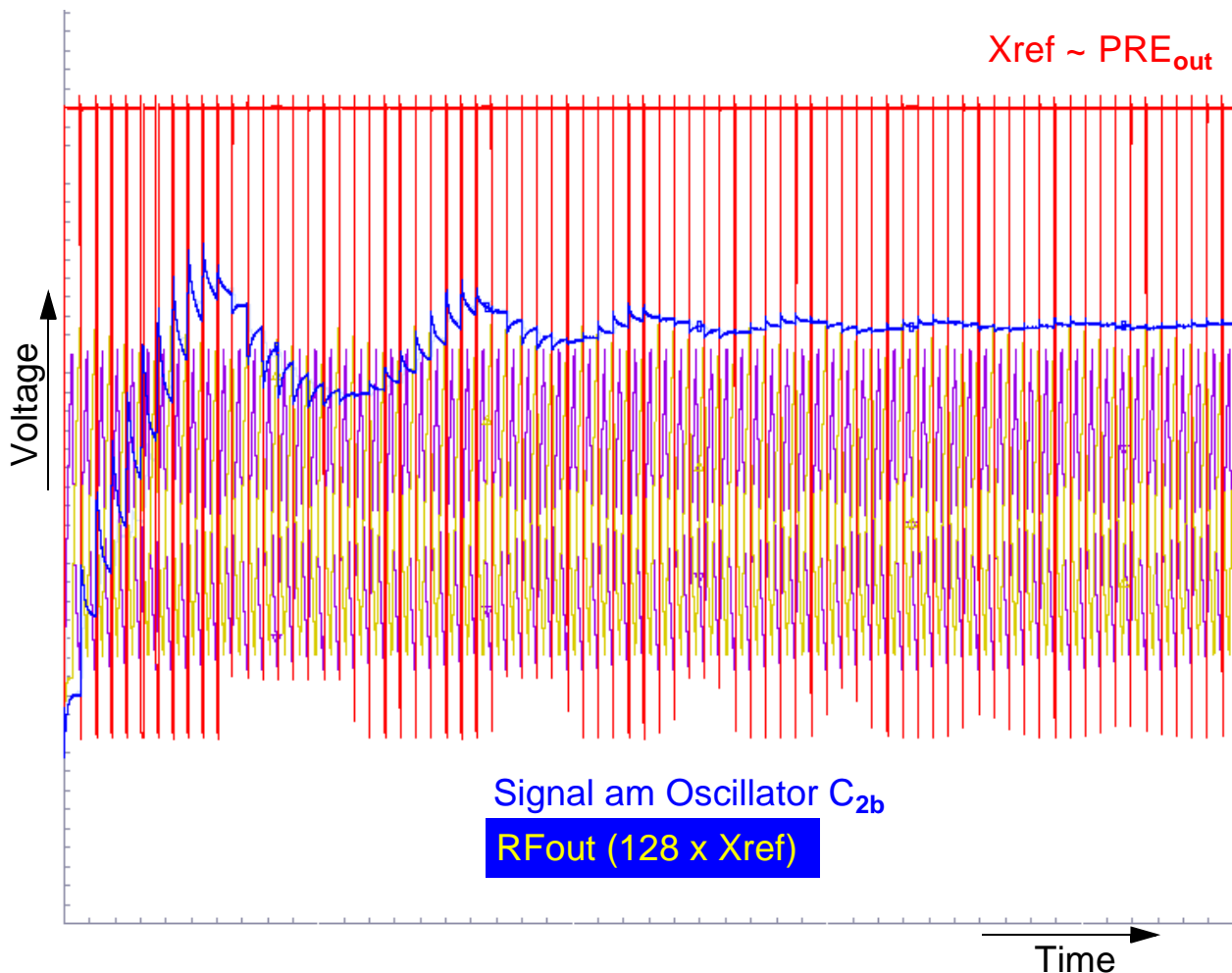


Bild 21: PLL Signale beim Einschwingen der Regelschleife

Bild 22 und Bild 23 zeigen Ausschnittsvergrößerungen der Signale von Bild 21.

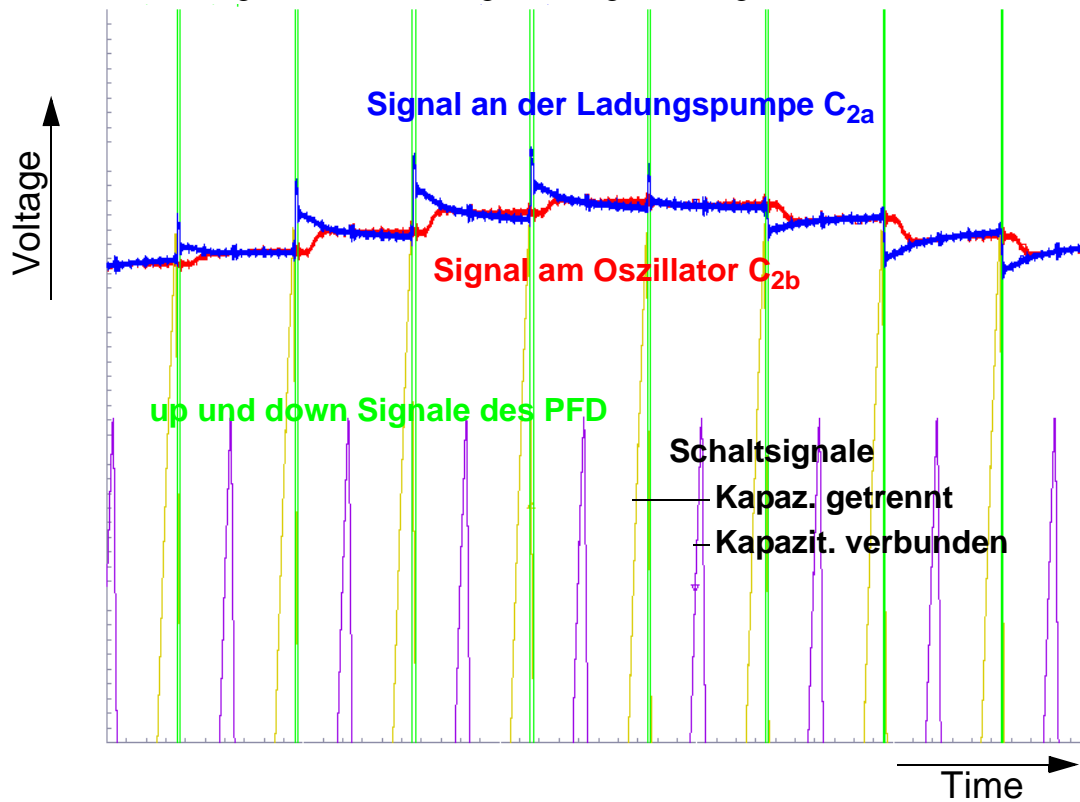


Bild 22: Detail 1 des PLL Signals im fast eingeschwungenen Zustand

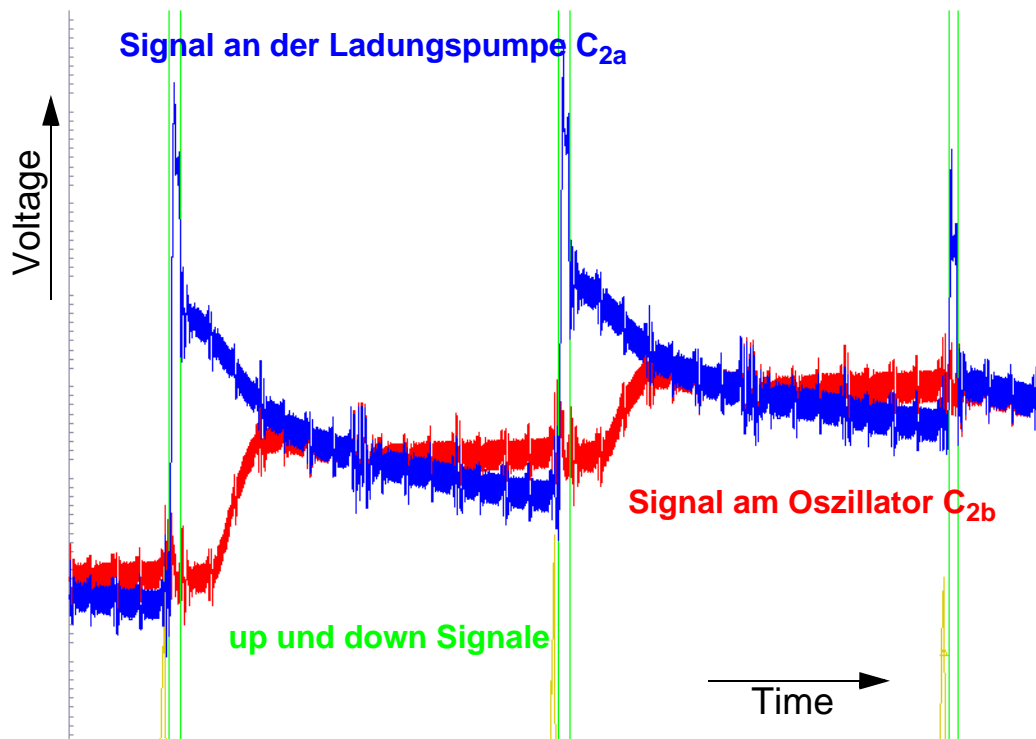


Bild 23: Detail 2 des PLL Signals im fast eingeschwungenen Zustand

In Bild 23 ist die Störsignalunterdrückung durch die steilen Schaltflanken der Pumpimpulse deutlich zu erkennen. Im Signal an der Ladungspumpe C_{2a} sind noch starke Störimpulse vorhanden. Im Signal am Oszillator C_{2b} (das U_{in} Steuersignal des VCO) sind die starken Störungen praktisch ver-

schwunden. Die restlichen sichtbaren Störungen sind Substrateinkoppelungen in die Betriebsspannungs- und Masseleitungen. In dieser Simulation wurden sowohl die Bondpads als auch die Bonddrähte mit Ersatzschaltungen berücksichtigt.

Natürlich hat auch eine solche Schaltung nicht nur Vorteile. Z. B. hinterlässt auch die Trennung und die Verbindung der beiden Filterkapazitäten C_{2a} und C_{2b} Spuren, die das Oszillatorsignal beeinflussen. Aber erstens ist dieser Einfluss sehr viel geringer, da der Ladungsausgleich im eingeschwungenen Zustand nur sehr geringe Source / Drain Potentialunterschiede ausgleicht und zweitens keine zeitkritischen Schaltflanken auftreten müssen. Sämtliche Steuersignale für die Trennung und Verbindung der beiden Kapazitäten können mit wesentlich geringeren Flankensteilheiten im Vergleich zu denen der Pumpimpulse angesteuert werden. Der Ladungsausgleich erfordert keine speziellen weiteren Bedingungen für die Schalttransistoren, deshalb können die parasitären Kapazitäten der beiden Schalttransistoren T3, T4 nahezu exakt gegeneinander kompensiert werden.

Diese Lösung für eine Störsignalunterdrückung ist nach meinen Recherchen noch nicht publiziert worden. Es ist Aufgabe der weiteren Arbeit, die Funktion dieser auf detaillierten Simulationsrechnungen basierenden Schaltungstechnik messtechnisch nachzuweisen.

Im Anhang 12.0 ist dazu ein ausführliches Designbeispiel für PLL Testschaltungen mit und ohne Störsignalunterdrückung beigelegt.

5.0 Architekturen für Frequenzteiler

Der Frequenzteiler liefert innerhalb einer PLL eine absolute Messung über den Momentanwert der Frequenz des VCO. Es wird im allgemeinen davon ausgegangen, dass die Referenzfrequenz eines Kristalloszillators (oder eine von diesem abgeleitete, ganzzahlige, geteilte Frequenz) X_{ref} dem Kanalabstand der möglichen Sende oder Empfangskanäle in dem betrachteten System entspricht. Der Teilerfaktor des Frequenzteilers multipliziert mit X_{ref} bildet dann exakt die Frequenz des aktuell eingestellten Kanals welcher synthetisiert werden soll. Im eingeschwungenen Zustand erzeugt damit der VCO exakt diese Frequenz.

Auf Grund seines einfachen Aufbaus und der überschaubaren Arbeitsweise sowie der weitgehenden Unabhängigkeit von Softwarekomponenten wird das Integer-N Prinzip am häufigsten für derartige Frequenzteiler verwendet Bild 24, [1].

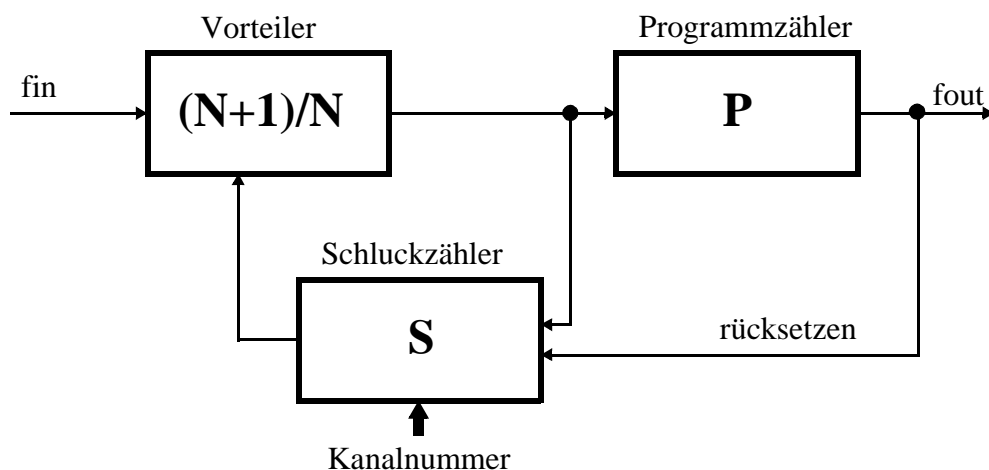


Bild 24: Blockschaltung eines Frequenzteilers nach dem Integer-N Prinzip

Die Leistungsfähigkeit des Vorteilers dominiert die Leistungsfähigkeit der gesamten Frequenzteilerschaltung, da auf Grund der hohen Eingangsfrequenz hier oft die in einer gegebenen Technologie möglichen physikalischen Grenzen erreicht werden. Der P und der S Zähler sind üblicherweise in einer Standard CMOS Digitaltechnologie und mit einfachen Gattern realisiert.

Damit wird die folgende Beziehung realisiert:

$$f_{\text{in}} = \langle N \cdot P + S \rangle \cdot f_{\text{out}}$$

Außerdem muss die Ausgangsfrequenz des Vorteilers $\frac{f_{\text{in}}}{N}$ sowohl größer sein als die maximale Kanalnummer P als auch größer als S, da ansonsten während einer Frequenzteilerperiode kein Ausgangsimpuls entstehen kann, weil P und S Zähler nicht genügend Eingangsimpulse erhalten. Es wird jedoch stets auf die niedrigste mögliche Ausgangsfrequenz des Vorteilers orientiert, um möglichst wenig Verlustleistung in den programmierbaren Zählern zu verbrauchen.

Neben dem Integer-N Prinzip existieren noch eine Reihe anderer Verfahren [1]. Für Übertragungssysteme mit konstantem Kanalabständen ist jedoch das Integer-N Prinzip dominierend.

5.1 Der Standard für DECT Anwendungen

Im DECT Standard sind 10 Kanäle mit je 1.728 MHz Kanalbreite in einem Band zwischen 1880 MHz und 1900 MHz spezifiziert [66]. Die durch einen Frequenzsynthesizer zu generierenden Frequenzen liegen also bei 1881 MHz, 1883 MHz,..., 1889 MHz in je 2 MHz Schritten Abstand.

Mit einem Teilerfaktor von $N = 128$ liegt man deshalb mit der resultierenden Ausgangsfrequenz von minimal 14.581395 MHz oberhalb der maximal erforderlichen Werte für den P und S Zähler von 10.

Der Standard Vorteiler besteht hier aus einem umschaltbaren Binärteiler mit dem Teilerfaktor $\text{div}4/5$ und in dieser Teilerkette befindlichen Logikschaltungen, einem Pegelwandler von CML nach CMOS Pegel, sowie fünf aufeinanderfolgenden flankengetriggerten Standard CMOS D-FF. Außerdem sind i.a. weitere Logikschaltungen für die Generation des Umschaltimpulses, die Ausgangstreiber sowie die auf dem Chip befindliche Referenzspannungserzeugung mit integriert.

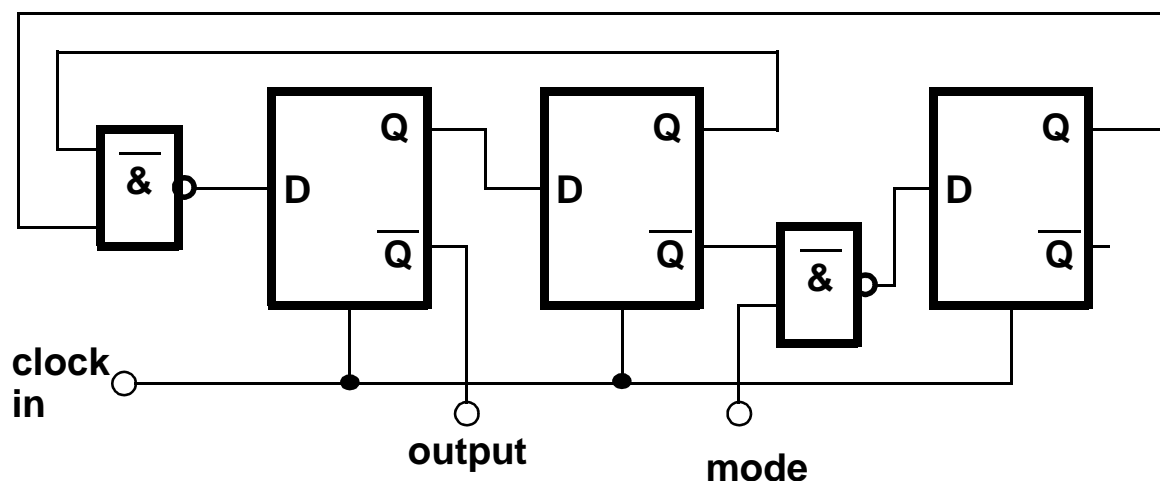


Bild 25: Aufbau eines Standard Vorteilers für DECT

Simulationsrechnungen in einer 350 nm digital CMOS Technologie zeigen erreichbare Frequenzen für einfache binäre Teiler bis zu ca. 4 GHz. Sind mit umschaltbaren Logikblöcken wie in Bild 25 dargestellt zwei (eng. 'dual mode') oder mehrere Teilerfaktoren möglich, so verringert sich die maximal mögliche Teilerfrequenz auf Werte unter ca. 2 GHz. Dieser starke Abfall der möglichen Betriebsfrequenz erfolgt auf Grund der zusätzlichen Verzögerungszeiten der Logikschaltungen im Hochfrequenzteilerring.

5.2 Ein DECT Vorteiler mit niedriger Leistungsaufnahme

Neben dem Standard Vorteiler wurde eine neuartige Schaltung entworfen und getestet. Diese Schaltung verwendet das 'lost cycle' Prinzip (dt. Prinzip der verlorenen Taktperiode) [88], welches ausführlich in Kapitel 6.4.2 erläutert wird. Die Schaltung ist ebenfalls für DECT Anwendungen vorgesehen, kann sowohl im div16/17 Modus als auch im div32/33 Modus betrieben werden und ist speziell für Anwendungen mit geringem Leistungsverbrauch entworfen worden. Bild 26 zeigt die verwendete Architektur.

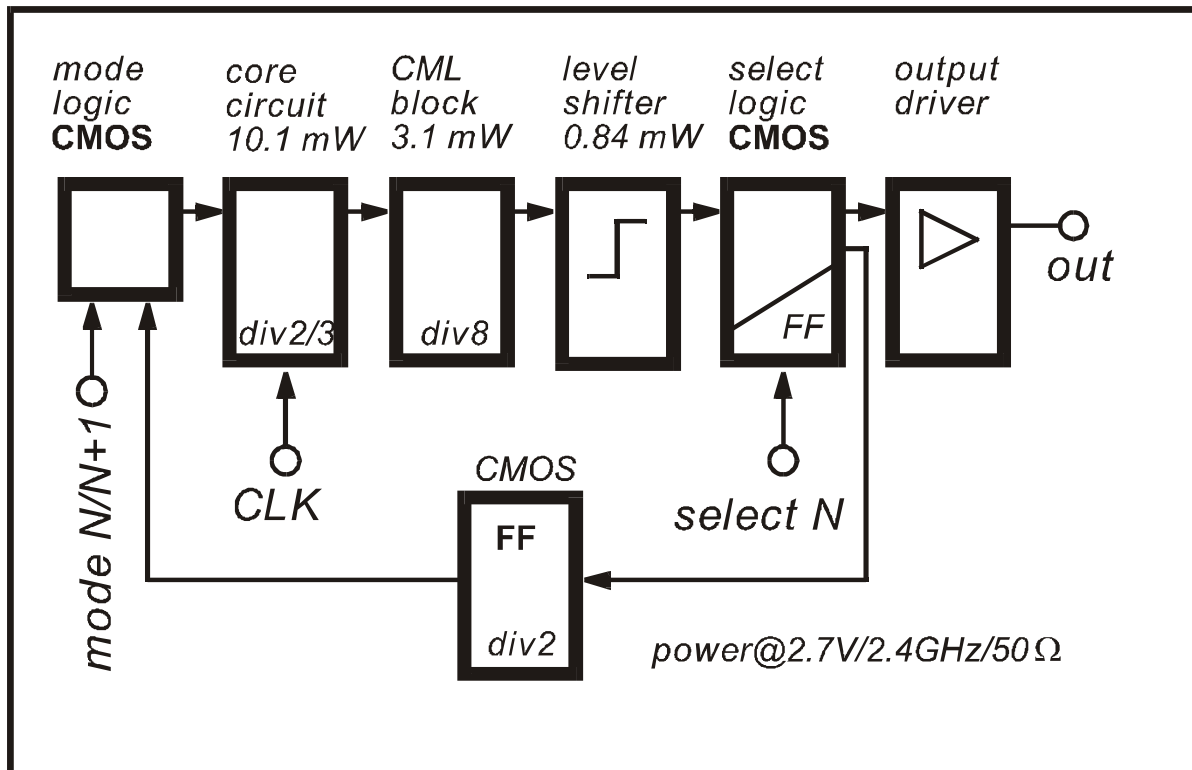


Bild 26: Aufbau eines Vorteilers nach dem 'lost cycle' Prinzip

Das Herzstück dieses Vorteilers besteht aus einem in Abschnitt 6.4.2 beschriebenen umschaltbaren Johnson-Teilerring. Danach folgen drei weitere Standard CML Teiler D-Latch ein Pegelwandler von CML nach CMOS, drei flankengetriggerte CMOS D-FF und ein Ausgangstreiber. Außerdem ist der erforderliche Synchronblock einschließlich der Logik und ein weiteres CMOS D-FF integriert worden, um die erforderlichen Umschaltsignale innerhalb eines div32 Zyklus bereitzustellen. Die vollständige Funktion der Schaltung sowie zugehörige Simulationsparameter werden im Kapitel 7.0 erläutert. In der Simulation wurde eine Gesamtverlustleistung von ca. 21.7 mW ermittelt. Außerdem enthält Kapitel 7.0 charakteristische Messungen für diese Schaltung bis ca. 2.8 GHz. Abschnitt 7.6 zeigt in einem Benchmark die erreichbaren Vorteile einer solchen Architektur bezüglich der bekannten Architekturen an Hand von Literaturdaten der letzten 15 Jahre.

5.3 Architektur für BLUETOOTH

BLUETOOTH ist ein relativ neuer Standard, so dass bis 1999 noch keine Systemlösungen am Markt erhältlich waren. Dieser Standard wurde für low cost, low range und low power Anwendungen konzipiert. Damit kommen hier vermutlich ausschließlich CMOS Lösungen für alle Schaltungsteile zum Einsatz.

In BLUETOOTH sind 80 Kanäle beginnend ab 2400 MHz spezifiziert, die sowohl zum Senden als auch zum Empfangen genutzt werden können. Die spezifizierte Sprungfrequenz liegt bei 1600 Frequenzwechseln pro Sekunde. Ein 'timeslot' (dt. Zeitschlitz in der die Übertragung eines Datenpaketes oder eng. burst erfolgt) hat 625 μ s, wobei die Frequenzsynthese 220 μ s Zeit zum Einstellen der angewählten Frequenz erhält. Da die Referenzfrequenz üblicherweise bei 1 MHz (dem Kanalabstand) liegt, stehen damit max. 220 Flanken als Soll - Ist Vergleich bereit.

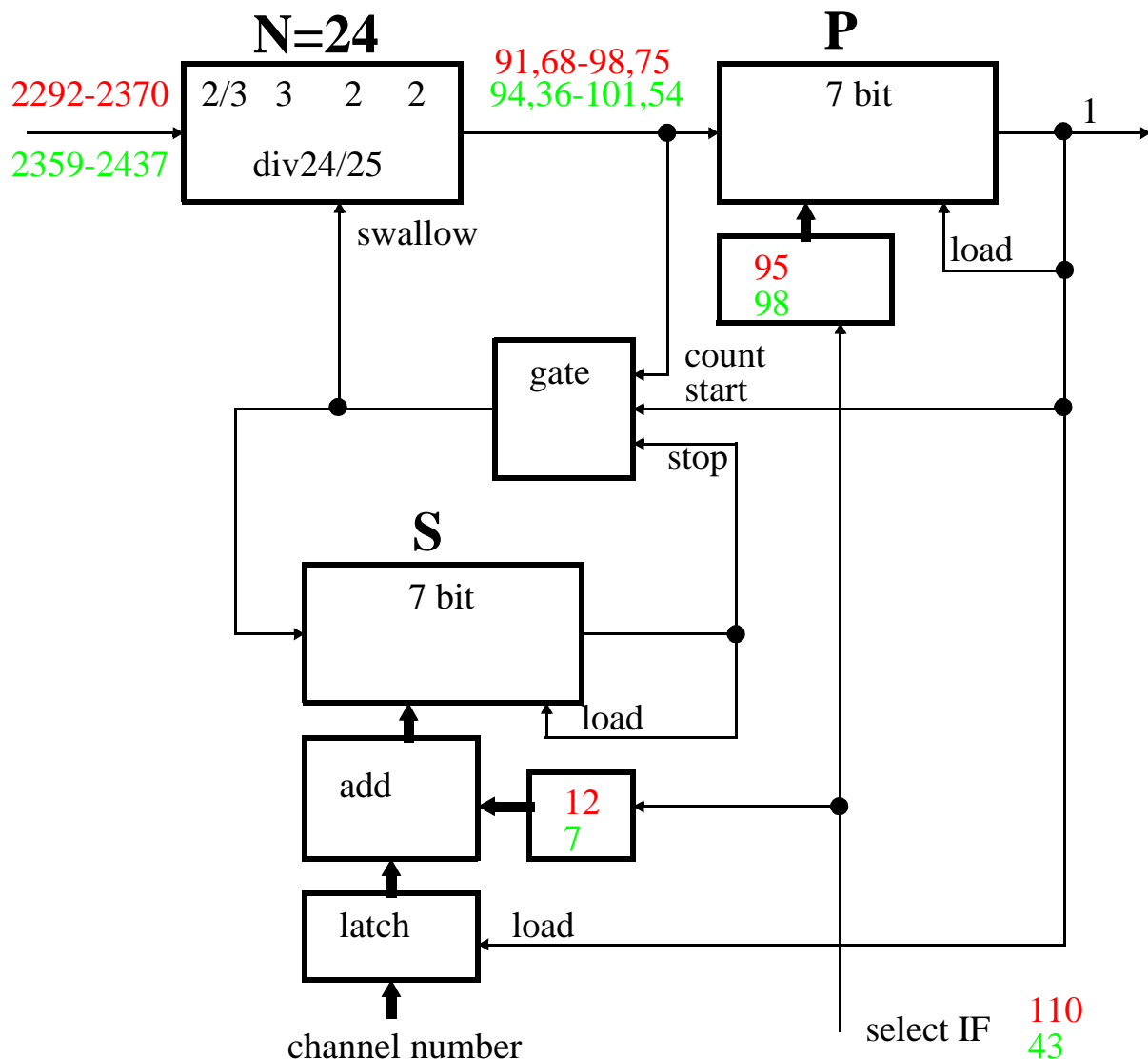


Bild 27: Blockschaltung eines BLUETOOTH Frequenzteilers, Frequenzangaben in MHz

Bild 27 zeigt das Blockschaltbild eines vollständigen Integer-N Frequenzteilers für BLUETOOTH Anwendungen und die zugehörige Frequenzplanung. Der Kanalabstand ist 1 MHz. Entsprechend ist die Xref Frequenz 1 MHz und die erforderlichen Teilerfaktoren können über programmierbare Teiler

P und S geladen werden. Dabei werden je nach gewünschter Zwischenfrequenz des Systems (eng. IF, intermediate frequency) feste Zahlenwerte 95 oder 98 in den P Zähler geladen und der S Zähler wird mit der gewünschten Kanalnummer zuzüglich einer additiven Konstante 7 oder 12 geladen. Damit können wahlweise die Zwischenfrequenzen 43 MHz oder 110 MHz genutzt werden. Für diese Frequenzen existieren kommerziell erhältliche Zwischenfrequenzfilter hoher Güte.

6.0 Vorteileiler

Frequenzteiler erzeugen aus einer vorgegebenen Eingangsimpulsfolge eine Ausgangsimpulsfolge mit $f_{in} = m \cdot f_{out}$ wobei $m=1, 2, \dots, N$ den ganzzahligen Teilerfaktor darstellt.

Die hier ausschließlich besprochenen digitalen Teiler werden entweder aus Impulszählschaltungen oder Schieberegistern aufgebaut. Für höchste Eingangsfrequenzen stehen meist nur kleine Eingangssignalpegel und oft auch ausschließlich sinusförmige Signale zur Verfügung. Deshalb und aus Gründen der Verlustleistungseinsparung sind derartige Teilerschaltungen meist aus in Kette zusammengeschalteten 'divide by two' Schaltungen zusammengesetzt. Eine ausführliche Sammlung gebräuchlicher Teilerschaltungen ist in [91] zu finden.

Eine wichtige Eigenschaft der Eingangsimpulsfolge von Höchstfrequenzteilern besteht im Tastverhältnis von etwa 50%. Zur Ansteuerung von HF Vorteilern werden im allgemeinen gegenphasige Signale (eng. differential signals) genutzt. Man spricht auch von symmetrischer Schaltungstechnik. Im Schaltplan und vor allem auch im Layout wird hier meist eine möglichst vollständige Symmetrie der beiden gegenphasigen Signalpfade angestrebt.

Man unterscheidet bei Vorteilern zwischen der synchronen und asynchronen Arbeitsweise. Wenn die Phasendifferenz zwischen der Eingangssignalflanke und der Ausgangssignalflanke keine Relevanz für die korrekte Schaltungsfunktion besitzt, kann eine asynchron arbeitende Teilerkette verwendet werden. Die maximale Betriebsfrequenz wird hier direkt vom Design der ersten Teilerstufe bestimmt. Beeinflusst jedoch die Phasenlage zwischen dem Eingang und dem Ausgang die Schaltungsfunktion, so werden für höchste Frequenzen meist synchron arbeitende Schaltungen verwendet. Das ist insbesondere meist dann der Fall, wenn Logikschaltungen im HF-Teilerring verwendet werden, da hier Zeitabhängigkeiten zwischen dem Erreichen eines logischen Pegels und der logischen Schaltungsfunktion zu beachten sind. Diese Zeiten können in synchron schaltenden Systemen wesentlich präziser über die Phasenlage zum Eingangstakt kontrolliert werden als das in asynchron schaltenden Systemen möglich ist.

6.1 Einfache Frequenzteiler

Als einfache Frequenzteiler sollen hier die Schaltungen betrachtet werden, die keinen umschaltbaren Teilermodus besitzen. Der Teilerfaktor N ist hier fest eingestellt.

Bild 28 zeigt das Prinzip einer 'divide by two' Schaltung (dt. Division durch Zwei Schaltung) mit taktgesteuerten Logikblöcken. Zunächst existieren im allgemeinen zwei verschiedene signalspeichernde Schaltungsknoten A und B. Die Signalspeicherung kann dynamisch oder statisch erfolgen. Mit dem ersten Impuls einer Eingangstaktfolge, dem Taktsignal CLK (eng. clock, dt. Taktsignal), wird das Signal des ersten speichernden Knoten A abgetastet und auf dem zweiten speichernden Knoten B invertiert abgespeichert. Mit dem zweiten Impuls wird das Signal auf dem zweiten speichernden Knoten B abgetastet und auf dem ersten speichernden Knoten A ohne Inversion abgespeichert. Damit ist der Ausgangszustand wieder hergestellt und der beschriebene Zyklus beginnt erneut. Am Schaltungspunkt A und am Schaltungspunkt B entsteht damit eine Impulsfolge die exakt der halben Takteingangsfrequenz entspricht.

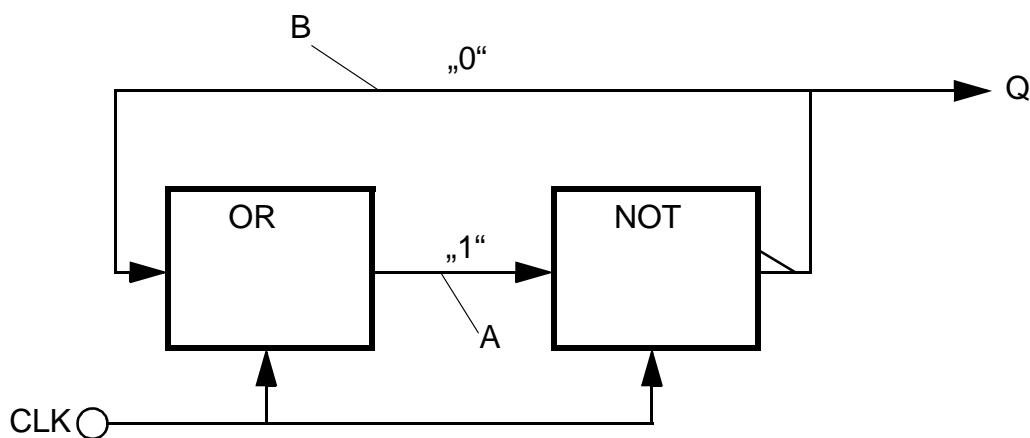


Bild 28: Prinzip einer div2 Schaltung

6.2 Einfache Dynamische Frequenzteiler

Dynamische Schaltungstechniken werden überwiegend mit MOS Technologien realisiert. Die signalspeichernden Knoten sind als Kapazität gegen das Massepotential ausgebildet und die dort abgespeicherte Information muss innerhalb einer bestimmten Zeitspanne ausgewertet und regeneriert werden. Da ein abgeschalteter MOS Transistor sehr hochohmig ist (Kanalwiderstand abgeschalteter CMOS Transistoren typisch $>10^{13}$ Ohm) werden trotz der nur sehr kleinen integrierten Kapazitäten noch ausreichend lange Speicherzeiten erreicht, die bis in den mHz Bereich reichen können. Für den HF-Bereich sind diese Schaltungen direkt einsetzbar, wobei der erforderliche große Signaleingangspegel störend wirkt. Bei höheren Frequenzen 'on chip' (dt. auf dem Chip) Signale größer als 1 V zu erzeugen ist oftmals mit erheblich mehr Verlustleistung verbunden als die eigentliche Frequenzteilerschaltung als DC Verlustleistung benötigt.

Eine der gebräuchlichsten dynamischen D-FF Schaltungen [30] ist in Bild 29 dargestellt.

Die Stromaufnahme dynamischer Schaltungen ist frequenzabhängig und steigt bei hohen Frequenzen mit ωC an.

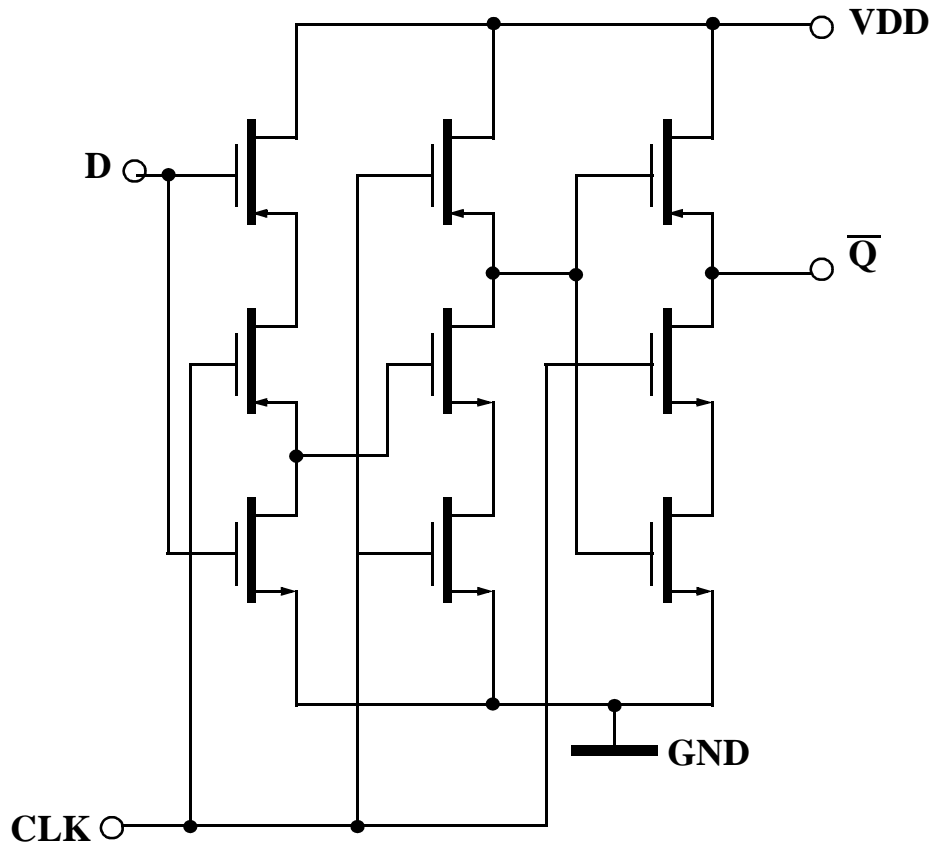


Bild 29: Dynamisches D-FF

Die Eingangskapazität eines einzelnen Transistors in 350 nm CMOS kann abgeschätzt werden:

$$C_{\text{gate}} = \frac{\epsilon_0 \cdot \epsilon_r \cdot A_T}{d_{\text{ox}}}$$

und liegt für übliche Transistorgrößen bei ca. $C_{\text{gate}} = 20 \text{ fF}$. Ein D-FF besitzt 4 anzusteuern Transistoren und für den synchron getakteten HF-Teil eines Frequenzteilers sind mindestens 3 D-FF erforderlich. Damit erhält man eine ca. 240 fF große zu treibende kapazitive Last oder einen äquivalenten kapazitiven Widerstand $\frac{1}{\omega \cdot C_L}$ von ca. 330 Ω bei einer Frequenz von 2 GHz. Wird die Kapazität auf $VDD = 3.3\text{V}$ aufgeladen, so ist dazu eine Ladung Q_{charge} erforderlich:

$$Q_{\text{charge}} = C_L \cdot VDD$$

Mit dem entsprechenden Strom bei der Frequenz f

$$i = 2 \cdot Q_{\text{charge}} \cdot f$$

wobei der Faktor 2 berücksichtigt, dass die Kapazität pro Taktzyklus sowohl geladen als auch entladen werden muss. Damit kann dann eine Abschätzung der erforderlichen Taktverlustleistung erfolgen

$$P_v = i \cdot V_{DD}$$

und man erhält ca. 10.5 mW bzw. 5250 nW/MHz welche ausschließlich für die Eingangsgatekapazität der HF Teilerschaltung aufgebracht werden muss. Dazu kommt noch die Leistung für die Umladung der Source / Drain Knoten, die in der vorliegenden Abschätzung nicht enthalten ist, sowie die Leistung für die Bereitstellung eines 2GHz / 3.3V Taktsignals mit P_v . Nicht vergessen werden darf selbstverständlich die anfallende aber gegenüber den anderen Anteilen eher kleine DC Leistungsaufnahme der Schaltung.

Dynamische Frequenzteiler sind störanfällig gegen Betriebstemperaturschwankungen. Die parasitären Diodengebiete der MOS Transistoren weisen einen exponentiell steigenden (etwa mit dem Faktor 2 pro 8 °C) Dunkelstrom auf, der bei schwankenden Umgebungs- und Chiptemperaturen zu einem instabilen Schaltverhalten führen kann. Deshalb sind für ein temperaturstabiles Design solcher Schaltungen meist nicht die minimalen Kapazitäten nutzbar.

Müssen aber zur Sicherung der Funktion auch in größeren Temperaturbereichen die speichernden Kapazitäten um z.B. den Faktor 2^8 größer angelegt werden, so entfällt damit der eigentliche Grund für eine mögliche Auswahl dieser Schaltungstechnik. Die erforderliche Betriebsverlustleistung steigt in diesem Fall dramatisch an.

Schließlich sei noch erwähnt, dass die in Bild 29 dargestellte Art dynamischer Teiler nicht in symmetrischer Schaltungstechnik ausgeführt sind und damit erhöhte Empfindlichkeiten gegenüber Substrat- und Leitungseinkopplungen zeigen.

6.3 Einfache Statische Frequenzteiler

Statische Frequenzteiler benötigen einen Arbeitspunktstrom. Dieser Arbeitspunktstrom hält die Signale der speichernden Knoten beliebig lange auf dem erforderlichen Wert. Der Arbeitspunktstrom bedeutet jedoch in jedem Fall eine erhöhte DC Verlustleistung gegenüber den rein dynamischen Schaltungstechniken.

6.3.1 Standard Flip-Flop Frequenzteiler

Werden Standard CMOS Gatter als Frequenzteiler verwendet, so ist der Arbeitspunktstrom bei sehr kleinen Frequenzen nahezu vernachlässigbar, denn es fließen im wesentlichen nur die Sperrdunkelströme der entsprechenden Transistoren in dem eingestellten Nichtgleichgewichtszustand. Bei den auftretenden Umschaltflanken treten jedoch zwei Probleme auf, die zu einem höherem Stromfluss durch die Schaltung führen. Erstens sind die p-Kanal und n-Kanal Transistoren während des Umschaltens kurzzeitig beide leitfähig, so dass es zu sehr kurzen Stromspitzen kommt. Zweitens wird die vom umgeschalteten Knoten abfließende Ladung jeweils vernichtet. Mit zunehmender Frequenz ist daher auch hier ein proportionaler Anstieg der Leistungsaufnahme zu beobachten.

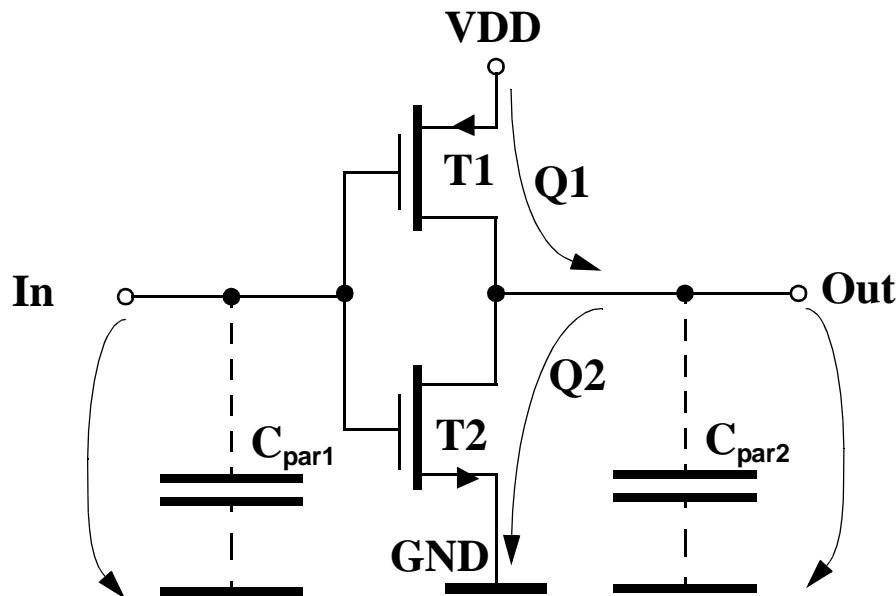


Bild 30: Standard CMOS Inverter

Da die Standard CMOS Gatter den vollen logischen Pegelhub benötigen, ist der Frequenzbereich zur Zeit bis in den Bereich von einigen hundert MHz eingeschränkt. Diese Frequenzgrenze wird durch immer kürzere Kanallängen heraufgeschoben (z.B. 180 nm -> 1 GHz... 1.5 GHz, vgl. Schätzungen Bild 2). Dabei vergrößert sich jedoch analog zu den dynamischen Schaltungstechniken die erforderliche Verlustleistung.

C_{par1} wird im wesentlichen durch die Eingangskapazität der Transistoren T1, T2 gebildet und ist gegen das Substratpotential GND geschaltet. C_{par2} setzt sich aus der Summe von der Gateeingangskapazität nachfolgender CMOS Gatter, der Metallverbindungsleitungen zu diesen Gattern und den Source/Drain Kapazitäten von T1, T2 zusammen und ist ebenfalls gegen das Substratpotential GND geschaltet. Diese Kapazitäten werden mit jedem Signalwechsel an In umgeladen, so dass eine analoge Rechnung wie in Kapitel 6.2 eine Verlustleistungsabschätzung erlaubt.

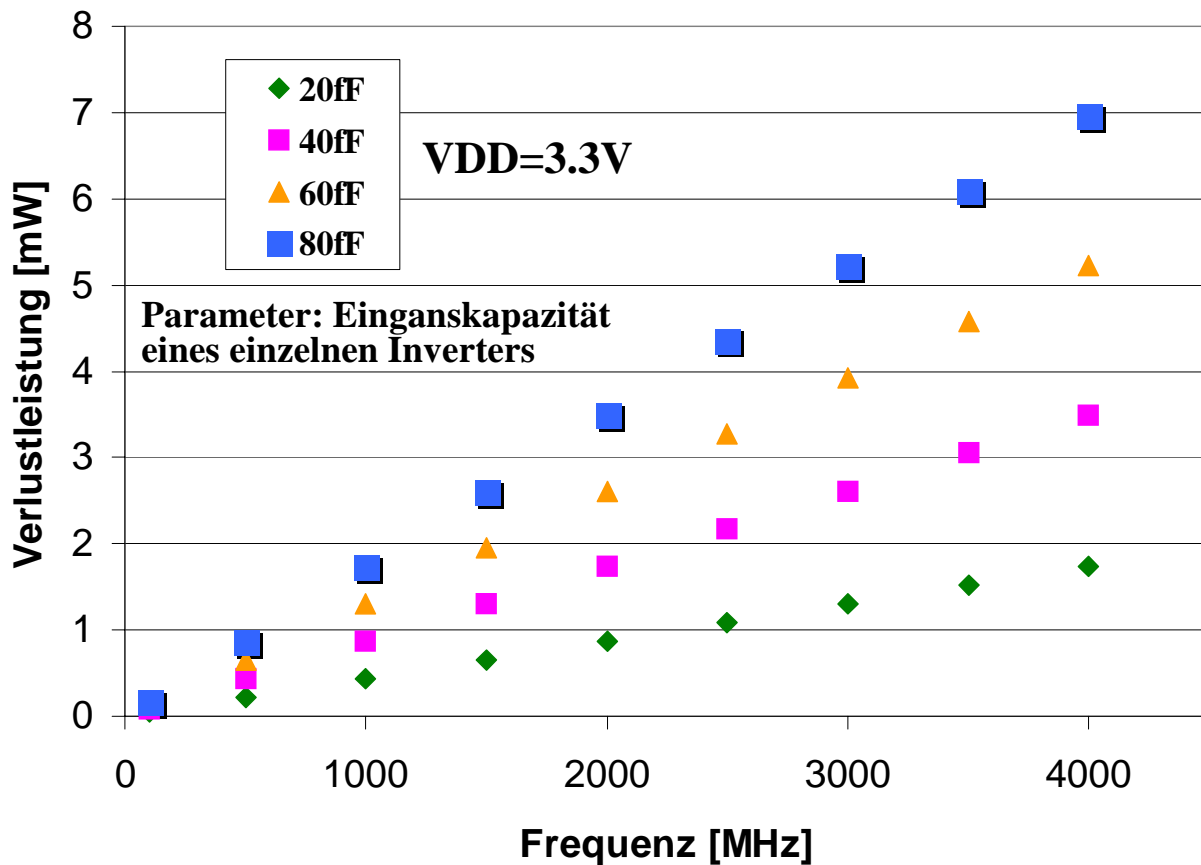


Bild 31: Verlustleistung eines einzelnen CMOS Inverters als Funktion der Frequenz

Als Frequenzteiler kann ein D-FF genutzt werden, sofern ein \bar{Q} Ausgang in der Schaltung existiert, der auf den eigenen Signalausgang zurückgeführt wird. Ein solches D-FF wird üblicherweise mit CMOS NAND Schaltungen aufgebaut und in einem Synchronteiler getaktet betrieben.

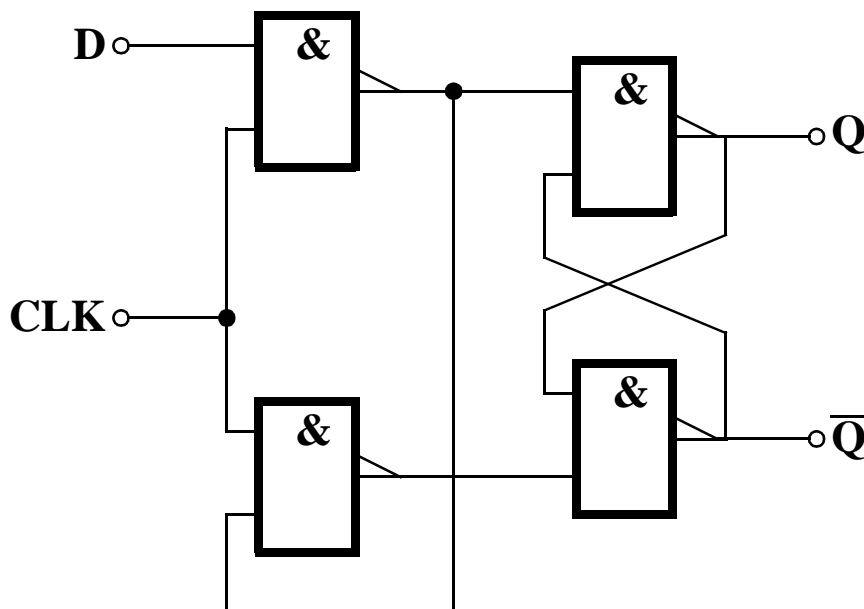


Bild 32: Getaktetes CMOS D-FF

Das Taktsignal CLK treibt zwei kapazitive Eingangslasten mit der vollen Taktfrequenz. Vier Schaltungsknoten werden mit der halben Taktfrequenz und insgesamt sechs kapazitiven Lasten betrieben.

Die Gatelastkapazität eines typischen 350 nm MOS Transistors mit ca. 5 nm Gateoxiddicke beträgt für eine ebenfalls typische Transistorweite von 10 μm (als Summe der Kanallängen von p-Kanal und n-Kanaltransistoren) 22,93 fF, wenn keine weiteren 'parasitics' (eng. Parasitäre Elemente) betrachtet werden (best case Abschätzung). Die Betriebsspannung in einer solchen Technologie beträgt 3.3 V. Die Eingangstaktspannung lädt pro Eingangsschwingungszyklus zwei Gates der Schaltung in Bild 32 auf und ab und bewegt damit bei angenommener vollständiger Umladung der Kapazität eine Ladung von ca. 76 fC pro Gate in einer Zeit, die dem reziproken der doppelten Eingangsfrequenz entspricht. Für diese Umladung ist ein Strom pro Gate von ca. 303 μA erforderlich. Damit erhält man für eine einzelne kapazitive Gatelast bei 2 GHz Eingangsfrequenz ca. 1 mW Verlustleistung. Die gesamte Schaltung nimmt bei dieser Eingangstaktfrequenz ca. 4 mW oder 2000 nW/MHz auf, vorausgesetzt alle Transistoren haben die oben genannten Abmessungen.

6.3.2 CML Frequenzteiler

Frequenzteiler in CML (eng. current mode logic, dt. Logik mit konstantem Strom) bzw. auch ECL (eng. emitter coupled logic, dt. Emitttergekoppelte Logik) sind für höhere Frequenzen vor allem im Bereich der Bipolaren Schaltungen dominierend [64]. Diese Schaltungstechnik ist jedoch auch für CMOS anwendbar [75] und liefert sehr stabil arbeitende Schaltungen. Die Eingangsempfindlichkeit kann sehr groß werden und durch die symmetrische Schaltungsauslegung sind diese Frequenzteiler relativ unempfindlich gegen eingekoppelte Störungen. Außerdem können damit die typischerweise kleinen Signalpegel im HF Bereich direkt verarbeitet werden, so dass zusätzliche Signaltreiber für hohe Frequenzen meist entfallen können. Mit den nur wenig schwankenden Arbeitspunktströmen generieren diese Schaltungen zudem erheblich weniger Substratrauschen als Standard CMOS Logikgatter. Das ist ein wesentliches Kriterium für den Einsatz in integrierten Transceiver Chips mit einem Dynamikbereich von > 80 dB.

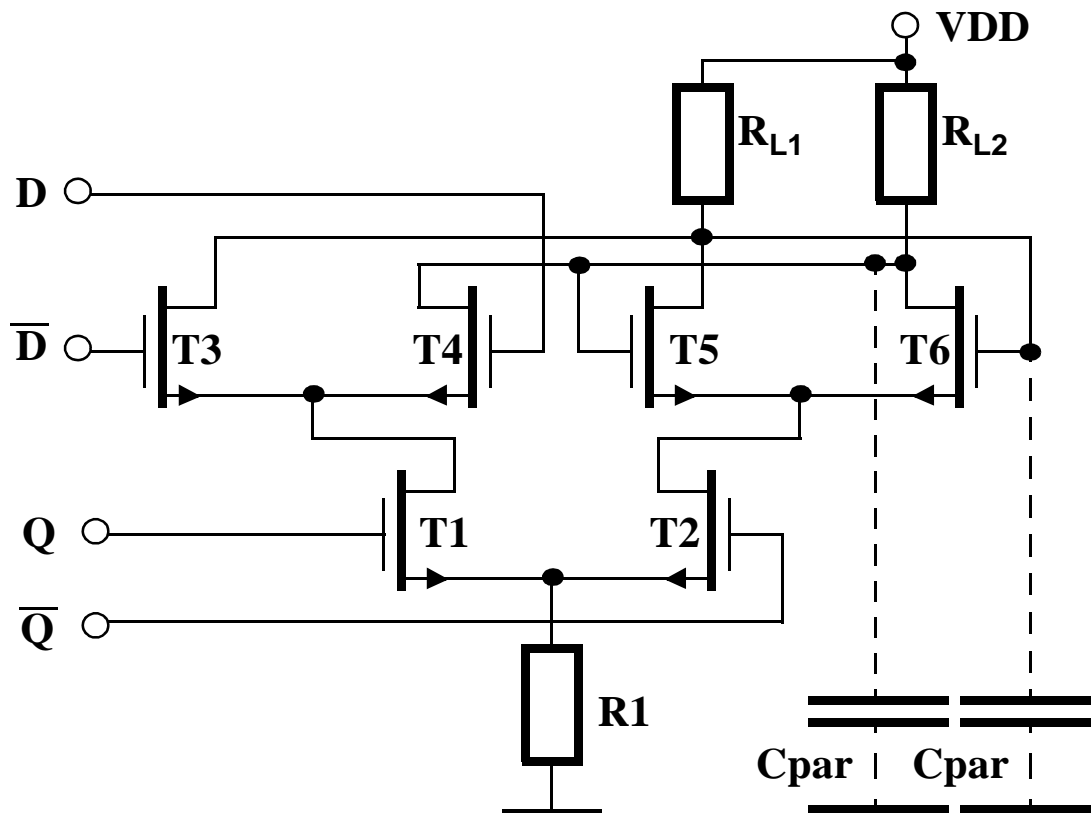


Bild 33: CMOS CML D-Latch

Der Signalhub an R_{L1} und R_{L2} beträgt in der CMOS Schaltung etwa 400 mV bis 500 mV. Er wird so gewählt um eine sichere Ansteuerung nachfolgender D-Latch Schaltungen zu gewährleisten und

hängt wesentlich von der Schwellspannung der Transistoren in der jeweiligen Technologie ab. Der Arbeitspunktstrom beträgt hier ca. 400 μA in einer 350 nm CMOS Technologie für den Arbeitsbereich bei ca. 2 GHz. Damit wird ca. 1.32 mW Verlustleistung für eine solche D-Latch Teilschaltung bzw. 660 nW/MHz benötigt.

Für den Aufbau eines einfachen Frequenzteilers werden zwei solcher D-Latch Schaltungen zu einem Johnson-Teiler ring zusammengeschaltet, Bild 34. Die erforderliche Signalinvertierung wird durch das gekreuzte Verschalten eines der differentiellen Signale erreicht.

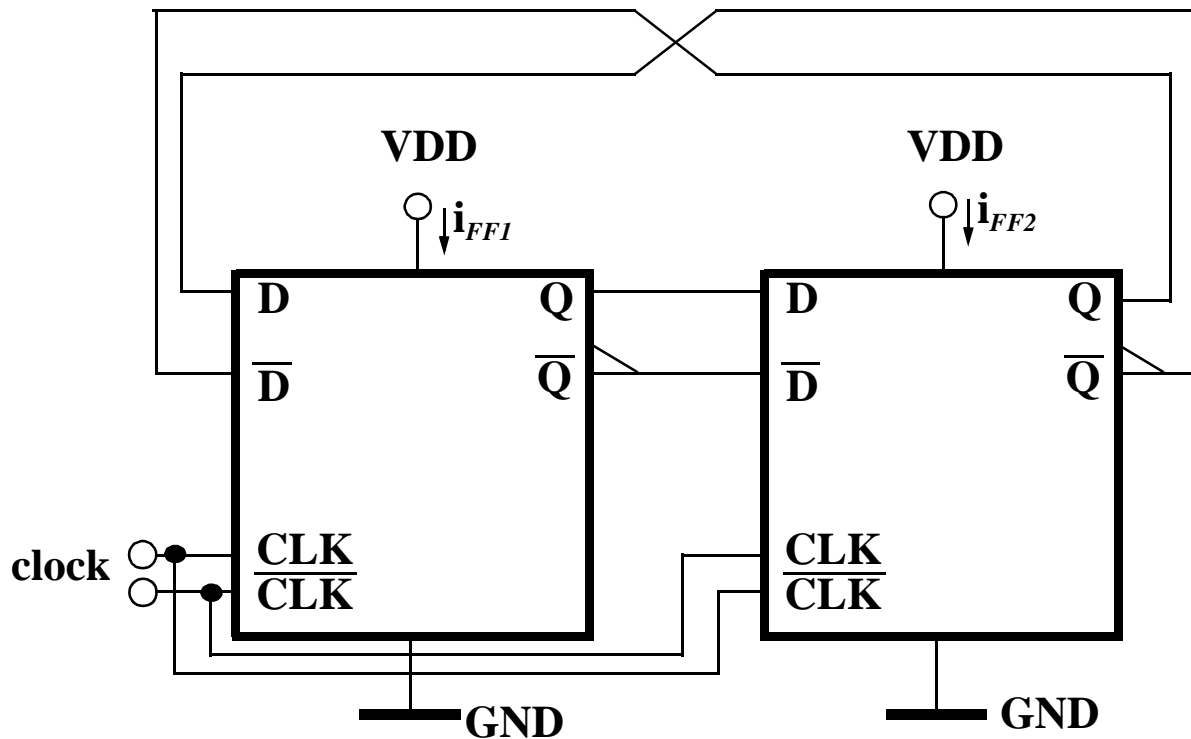


Bild 34: Frequenzteiler div2 mit zwei Standard D-Latch Schaltungen

Mit derartigen Frequenzteilern sind nur geradzahlige Teilverhältnisse realisierbar.

6.3.3 Schieberegister als Vorteiler

Schieberegister, geschaltet als Ringzähler, bieten die Möglichkeit auch ungeradzahlige Teilerfaktoren zu erreichen. Diese Schaltungen müssen jedoch initialisiert werden, da bei völlig leerem Schieberegister (alle Bit's = 0) oder vollständig gefüllten Schieberegister (alle Bit's = 1) nicht geteilt wird. Außerdem muss überwacht werden, welche Bitfolge im Schieberegister gespeichert ist, um den gewünschten Teilerfaktor zu treffen. Die dazu erforderlichen Logikschaltungen bestimmen bei höheren Frequenzen die erreichbare Grenzfrequenz. Bild 35 zeigt die Prinzipskizze eines synchron getakteten div5 Schieberegisterrings ohne die erforderlichen Logikschaltungen. Jeder der dargestellten Blöcke enthält z. B. ein in Bild 33 dargestelltes D-Latch.

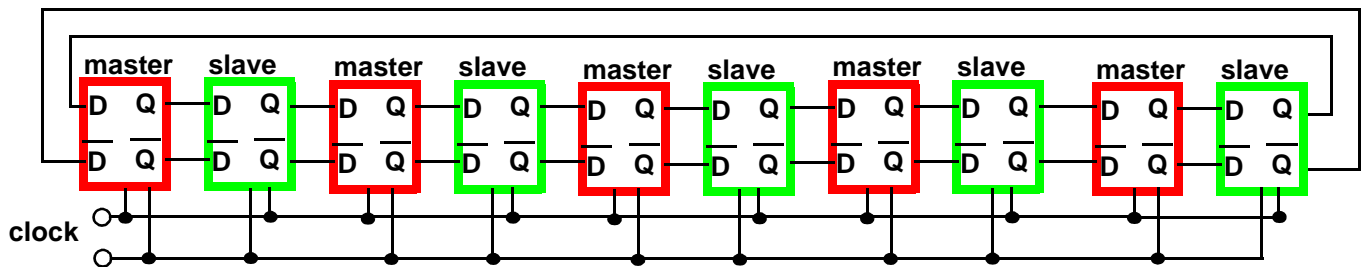


Bild 35: div5 synchron getakteter Schieberegisterring

Da bei derartigen Schaltungen pro Bit zwei D-Latch erforderlich sind, ist zunächst die Leistungsaufnahme größer als bei Binärteilern. In Abschnitt 6.4.1 wird jedoch gezeigt, dass dieser Nachteil zumindest für Multi-Modulus Vorteiler umgangen werden kann.

6.4 Dual- und Multi-Modulus Vorteiler

Bei der Frequenzsynthese werden gewöhnlich Vorteiler mit umschaltbarem Teilverhältnis verwendet. Wichtig für diese Art von Vorteilern ist, dass das Teilverhältnis um genau einen einzelnen Eingangsimpuls vor oder auch zurückgestellt werden kann. Man spricht in diesem Fall von Dual-Mode Vorteilern. Sind zusätzlich noch andere Teilerfaktoren einstellbar, so wird von Multi-Mode Vorteilern gesprochen.

Gewöhnlich werden derartige Frequenzzähler aus Binärteilern mit einer zwischen die einzelnen Teilerstufen geschalteten Logik aufgebaut. Binärteiler besitzen ein ganzzahliges Teilverhältnis. Die Logik sorgt jedoch dafür, dass bei gewähltem ungeradzahligem Teilverhältnis ein Rücksetzen noch vor dem Erreichen des Binärteilerfaktors erfolgt Bild 25. Je nach Aufwand für die Logikschaltung können so auch mehrere Teilerfaktoren sicher realisiert werden [18].

Die direkt im Signalpfad befindliche Logikschaltung begrenzt aber auf Grund ihrer internen Signalverzögerung die erreichbare maximale Frequenz auf etwa die Hälfte der mit Binärteilern erreichbaren Frequenz. Trotz dieses Nachteiles werden die weitaus meisten Vorteiler mit dieser Schaltungstechnik aufgebaut, da das Design einfach und überschaubar ist.

6.4.1 Neue Architekturen für Vorteileiler

Wie im Abschnitt 6.4 beschrieben, stellt die im Signalpfad liegende Logik eine fundamentale Begrenzung für das Erreichen höherer Teilerfrequenzen von Dual-Modulus Vorteilern dar. Schieberegister als sogenannte ‘hard wired ring’ Schaltungen (dt. fest verdrahtete Ringschaltungen) sind prinzipiell schneller als die mit Logik arbeitenden Vorteileiler, werden jedoch durch die Notwendigkeit der Initialisierung und der Kontrolle des Bitzustandes im Ring für höhere Frequenzen nur schwer realisierbar.

Auch mit Schieberegistern können Dual-Modulus oder Multi-Modulus Vorteileiler aufgebaut werden. Bild 36 zeigt eine Prinzipskizze um z. B. einen div4/5 Ring zu realisieren. In der Simulation kann mit einer 250 nm CMOS Technologie und CML D-Latch Schaltungen die Funktion bis zu Frequenzen von ca. 1.1 GHz demonstriert werden, wenn ein einzelnes Bit im Ring verschoben wird.

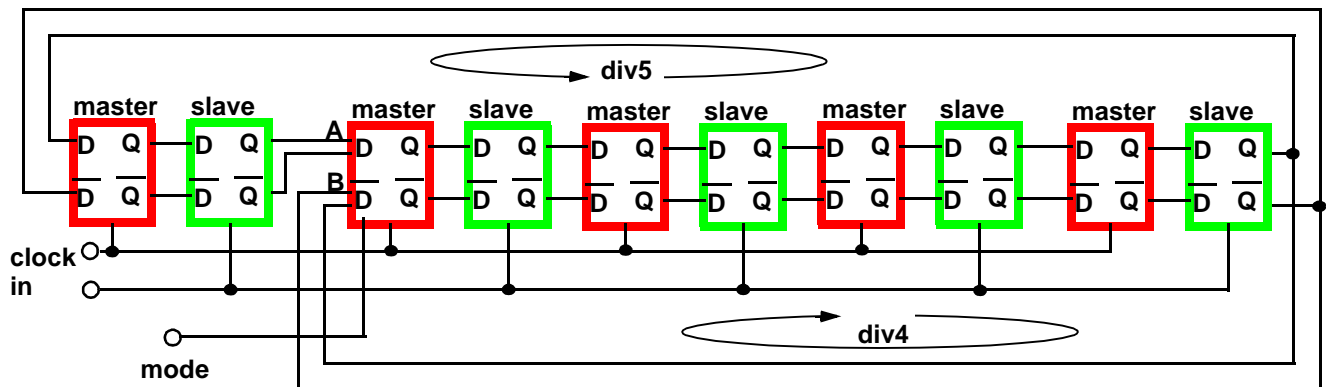


Bild 36: Prinzip eines synchron getakteten div4/5 Schieberegisterringes

Das Herzstück dieser Architektur besteht in einem modifizierten CML D-Latch (vgl. Bild 37) mit zwei wahlweise ansteuerbaren Eingängen, welche mittels des Signales ‘mode’ umgeschaltet werden können. Befindet sich ein einzelnes Bit in diesem Ring, so ist die für das Umschalten des mode Signals verfügbare Zeit unkritisch, da diese Umschaltung synchron erfolgen kann, genau dann, wenn das rotierende Bit sich gerade sicher in einem anderen Schaltungsteil befindet.

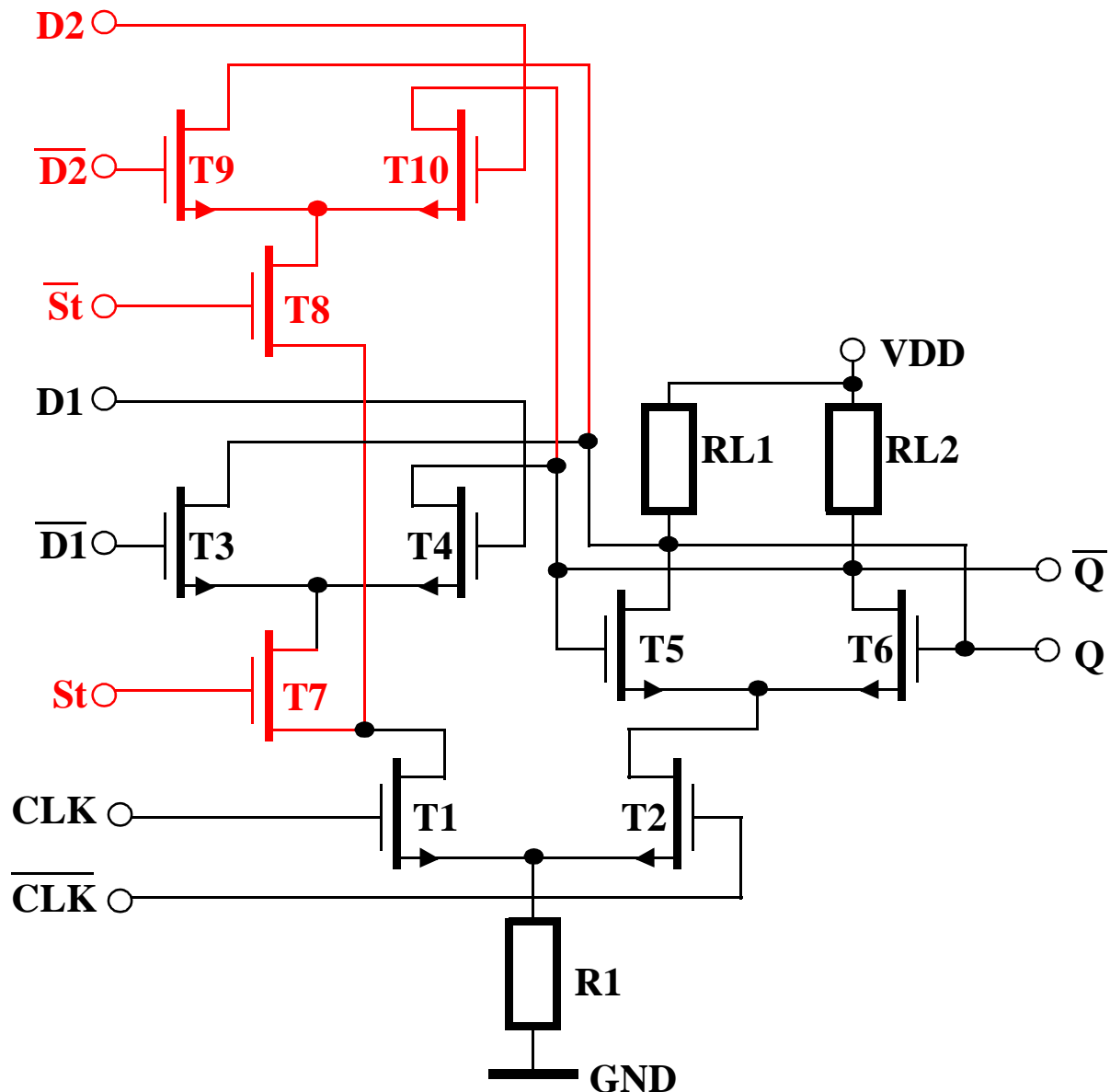


Bild 37: Prinzip eines Umschalt D-Latch in CML Technik

In Bild 37 ist das Prinzip eines neuartigen Umschalt D-Latch in CML Technik dargestellt [88]. Die rot gekennzeichneten Schaltungsteile werden zusätzlich zu der bekannten Standardschaltung, vgl. Bild 33, benötigt. Damit kann mittels eines gegenphasigen 'mode' Signals an den Steuereingängen St, St zwischen dem D1 oder D2 Eingang ausgewählt werden. Aus Gründen der thermischen Stabilität kann auch in den anderen Zweig des D-Latch ein sogenanntes Dummy Transistorpärchen eingefügt werden.

Wird nur ein und genau ein Bit im Schieberegister initialisiert, so kann der erhöhte Leistungsverbrauch eines Schieberegisterteilerringes reduziert werden.

Dazu werden nur die D-Latch Schaltungen mit Strom versorgt, die gerade aktiv sein müssen. Da das zu jedem beliebigen Zeitpunkt jeweils nur drei D-Latch sein müssen, vgl. Bild 38, können in dem vorliegenden Beispiel die anderen sieben D-Latch dynamisch abgeschaltet werden.

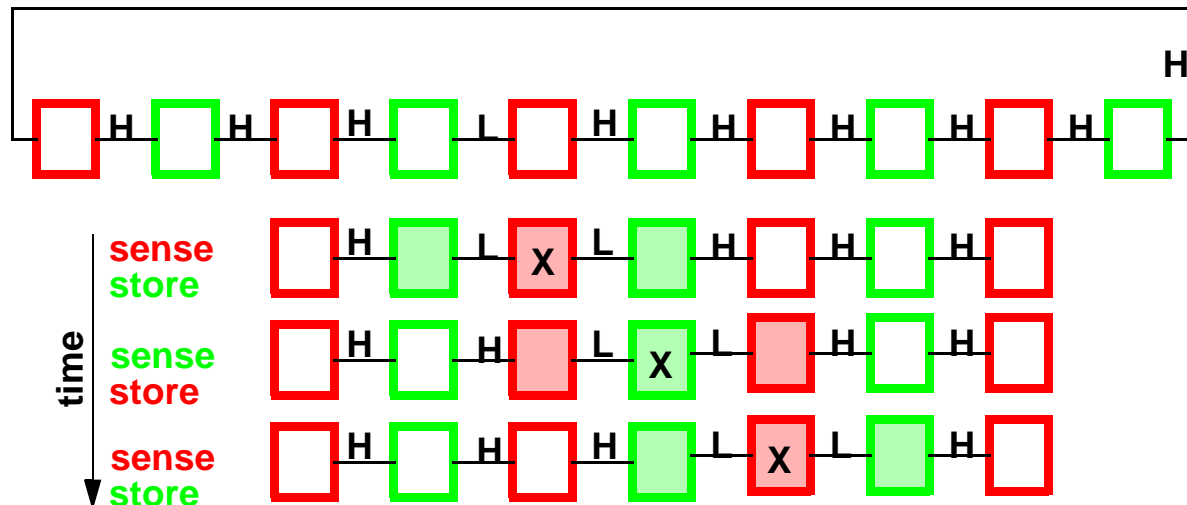


Bild 38: Aktivitäten im Schieberegisterring

Bild 38 verdeutlicht die Aktivitäten in einem Schieberegisterring. Die mit X gekennzeichneten D-Latch übernehmen das aktive Bit von der davor befindlichen Schaltung. Beide Schaltungsteile müssen deshalb aktiv sein. Die direkt hinter dem mit X gekennzeichneten D-Latch befindliche Schaltung erhält ein 'power up' Signal (dt. die Betriebsbereitschaft wird hergestellt), da sie im nächsten Zyklus das Bit übernehmen soll und deshalb mit einem entsprechend gelöschten Bit initialisiert werden muss.

In der Simulation erreicht man mit derartigen Techniken tatsächlich eine Reduktion der Verlustleistung. Durch die erforderliche sehr schnelle Logik für die Initialisierung und die Überwachung der Anzahl der Bits im Ring werden aber schnell Grenzen erreicht, so dass mit 250 nm CMOS Transistoren ca. 1.1 GHz heute als die Obergrenze für die Funktion einer derartigen Schaltung erscheint. Da diese Frequenz weit unterhalb der für z.B. BLUETOOTH benötigten Frequenz liegt wurde dieses Schaltungskonzept nicht weiter verfolgt.

Die Signalinitialisierung in Schieberegisterringen scheint aber aus heutiger Sicht auch mit Hilfe von modifizierten D-Latches lösbar zu sein.

6.4.2 Das 'lost cycle' Prinzip

Die in Bild 37 gezeigte Schaltung eines CML D-Latch mit zwei anwählbaren Eingängen kann zunächst als Binärteiler verwendet werden, Bild 39. Der jeweils freie zweite Eingang ist so geschaltet, dass die negierten Ausgangssignale abgetastet werden. Damit entsteht unabhängig von der Einstellung der statischen Signale der Steuereingänge St immer ein Johnson Teilerring, der den Teilerfaktor 2 besitzt.

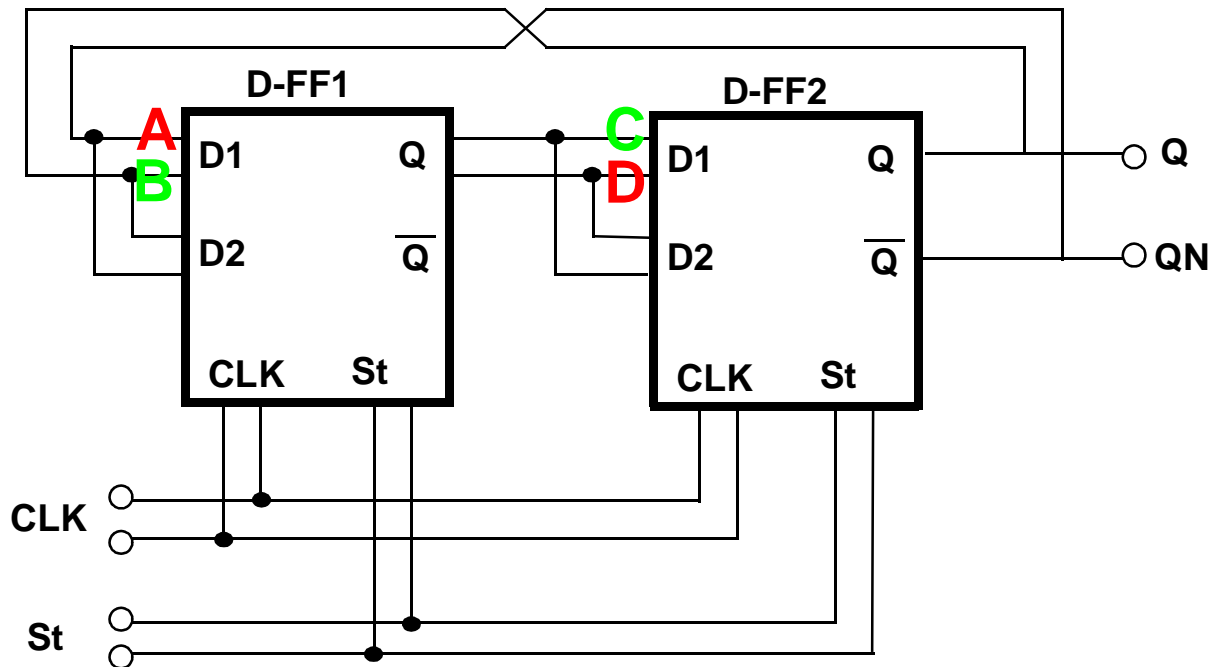


Bild 39: modifizierter CML Johnson Teilerring

Sind die D1 Eingänge beider D-Latch mittels des St Signals aktiviert, so werden die Ausgänge des D-FF2 negiert an die D1 Eingänge des D-FF1 geschaltet und die Ausgänge des D-FF1 ohne Negation an die D1 Eingänge des D-FF2. Sind die D2 Eingänge beider D-Latch aktiviert, so werden die Ausgänge des D-FF2 ohne Negation an die D2 Eingänge des D-FF1 geschaltet und die Ausgänge des D-FF1 negiert an die D2 Eingänge des D-FF2. In beiden Fällen ist also ein Standard Binärteiler realisiert, wobei die erforderliche Kreuzkoppelung einmal an den Ausgängen von D-FF2 und im anderen Fall an den Ausgängen von D-FF1 auftritt. Das am Takteingang anliegende Signal CLK wird in beiden Fällen an den Ausgängen Q, QN ein Signal der halben Eingangsfrequenz liefern, vgl. Bild 40 das obere Diagramm.

Werden die Eingänge mittels einer Flanke an St gewechselt, so wird eine und genau eine Taktperiode des CLK Signals unterdrückt.

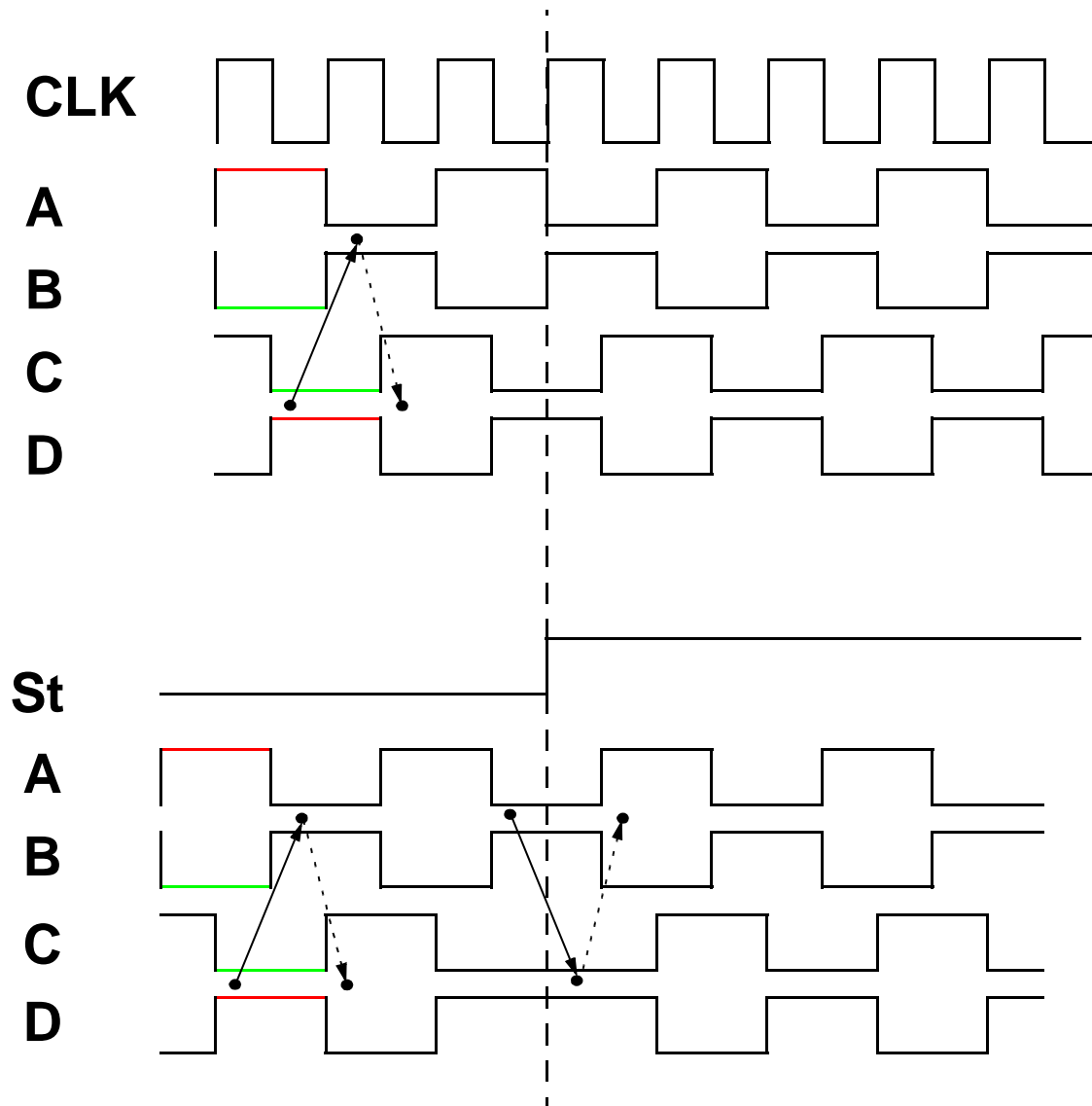


Bild 40: Taktschema des Teilers mit wechselndem Umschaltsignal St

Das Umschaltsignal an St soll sehr kurz bzw. die Umschaltflanke sehr steil sein. Die logischen Signalpegel bleiben beim Umschalten erhalten. Deshalb wird ein logisches 'high' Signal nach dem Umschalten auf den anderen Johnson Teilerring als logisch 'low' abgetastet und umgekehrt. Die Schaltung verbleibt für genau diesen einen Taktzyklus im aktuellen Zustand.

Bei jedem Umschalten auf den jeweils anderen Teilerring wird also jeweils genau ein Eingangstaktimpuls des CLK Signals ausgeblendet. Daher der Name "verlorener Zyklus" (eng. 'lost cycle'). Erscheinen während einer Periode von n Eingangstaktimpulsen m Umschaltflanken (sowohl high-low als auch low-high Flanken), so wird das Ausgangssignal aus $(n-m)/2$ Ausgangsimpulsen bestehen.

Sind die Umschaltflanken sehr kurz, so können sie eine nahezu beliebige Phasenlage bezüglich des Eingangstaktsignals besitzen. Es existieren jedoch stets kritische Zeitbereiche, in denen das Umschalten die Funktion der Schaltung stören kann. Das ist immer dann der Fall, wenn einer der Eingänge umgeschaltet wird, gleichzeitig jedoch das anliegende Eingangssignal abgetastet wird. Dabei kann es zu dem im Bild 41 gezeigten Signalverlauf am Ausgang Q des entsprechenden D-Latch kommen.

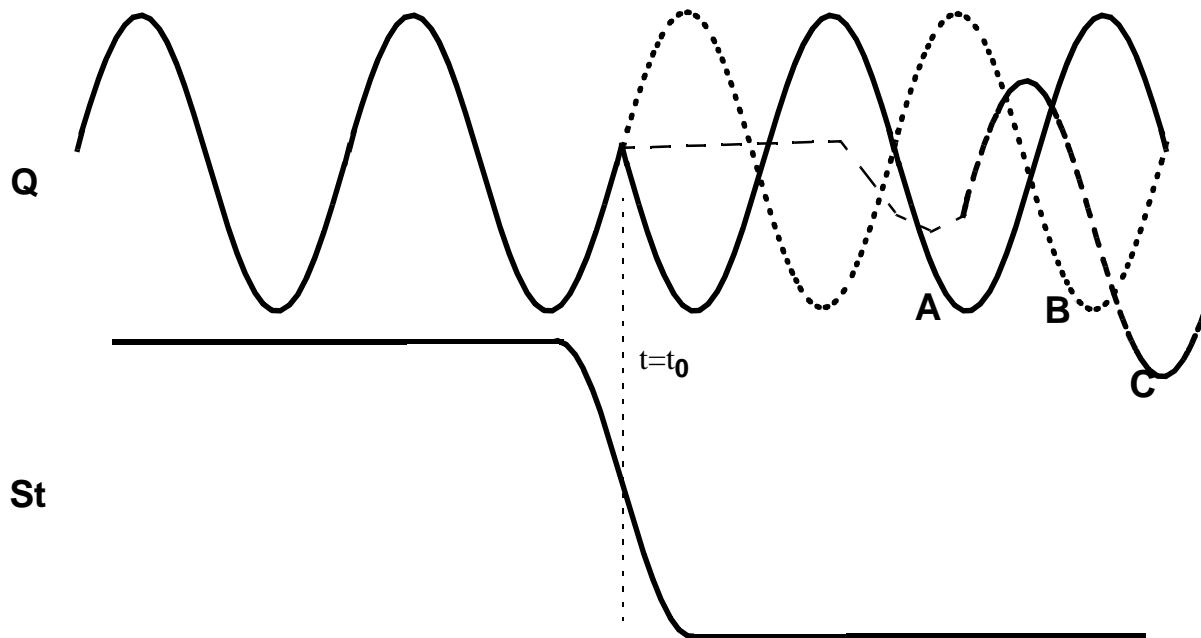


Bild 41: fehlerhafte Schaltvorgänge

Die Schaltung wird in einen sogenannten metastabilen Zustand versetzt. Im Bild 41 kann die Schaltung z.B. zum Zeitpunkt $t=t_0$ prinzipiell die Signalformen A oder B am Ausgang generieren. Meist wird jedoch auf Grund von Energiespeichereffekten keine schnelle Entscheidung im Falle einer Metastabilität getroffen und die Schaltungen verharren unter Umständen sehr lange in solchen Zuständen (vgl. Signal C), bis wieder ein definiertes Schaltverhalten beobachtet wird.

Werden diese auftretenden Signalformen A, B, C von einer nachfolgenden Schaltung ausgewertet, so kommt es zu scheinbar höheren oder scheinbar kleineren Teilerverhältnissen, die entweder völlig undefiniert sind oder auch auf Bruchteile von 1/2 fallen können. Derartige Signalformen müssen also sicher vermieden werden.

Um einen sicheren Betrieb zu garantieren, können die zum Umschalten verwendeten Signale St zur Eingangsimpulsfolge CLK synchronisiert werden. Eine solche Synchronisation ist mit weiteren synchron getakteten CML D-Latch möglich, kostet jedoch zusätzliche Verlustleistung. Außerdem ist damit auf Grund von Signalverzögerungen auf dem Chip nicht zwangsläufig sichergestellt, dass der fehlerhafte Zeitbereich vermieden wird.

Aus diesem Grunde wird eine Schaltungsvariante gewählt, die sicherstellt, dass das Umschalten eines der D-Latch jeweils ausschließlich in der Taktperiode erfolgt, in der die Ausgänge gehalten werden und die Eingänge nicht aktiv sind. Das ist deshalb möglich, weil das Umschalten zwar innerhalb einer Eingangstaktperiode erfolgen muss, nicht jedoch unbedingt gleichzeitig für beide D-Latch, wie es in Bild 39 dargestellt ist. Typischerweise befindet sich während der ersten Hälfte der Eingangstaktperiode eines der beiden D-Latch im Haltemodus, die Ausgangssignale werden gehalten. Das andere F-Latch befindet sich dann im Abtastmodus, die Eingangssignale werden übernommen. In der zweiten Hälfte der Eingangstaktperiode wechseln beide D-Latch in den jeweils anderen Modus. Werden die Umschaltsignale ebenfalls mit CML D-Latch generiert, so kann die Umschaltung jedes einzelnen Teiler D-Latch in genau der Eingangstaktphase erfolgen, in der ausschließlich die Ausgangssignale gehalten werden. Ein Wechsel der verwendeten Eingangsstrukturen hat in die-

ser Zeitphase keinen Einfluss auf das Schaltverhalten der Schaltung.

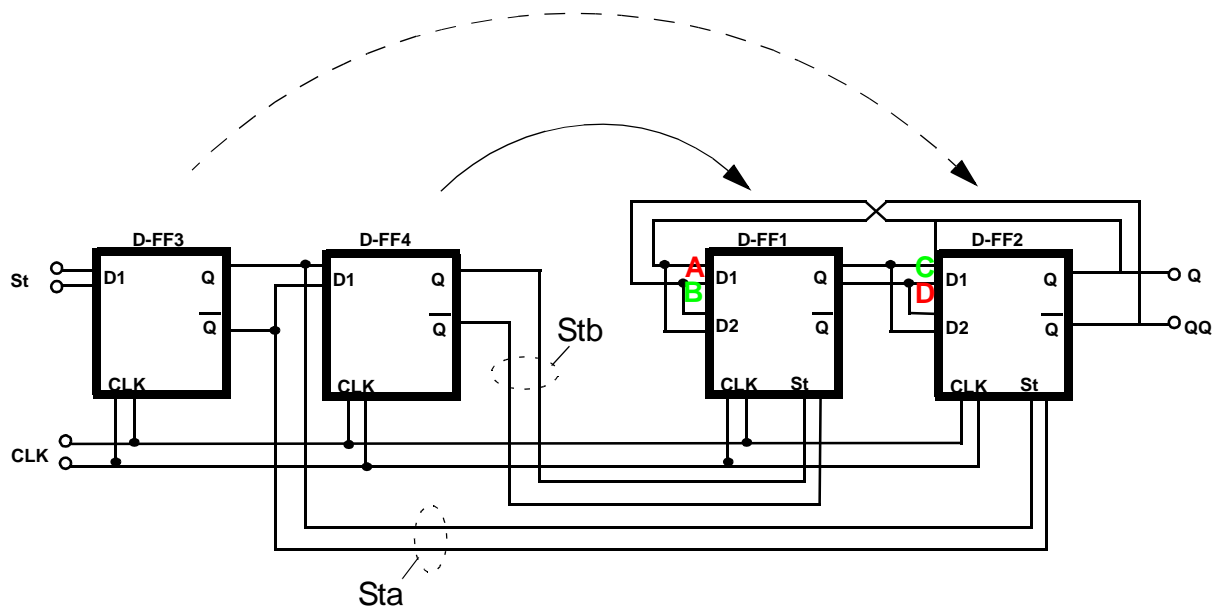


Bild 42: Vorschlag einer Synchronkettenschaltung von CML D-Latch

Die mit der in Bild 42 gezeigten Schaltung generierten Umschaltsignale St_a und St_b sind nicht nur eingangstaktsynchron mit CLK sondern auch zeitlich exakt um eine halbe Eingangstaktperiode versetzt, so dass zuerst D-FF2 und danach D-FF1 umgeschaltet wird. Das sind jeweils genau die Zeiten, in denen die entsprechenden D-Latch nicht ihre Eingangssignale abtasten. Damit wird ein stabiles Schaltverhalten garantiert.

Die zusätzlich benötigten Synchron D-Latch erfordern eine zusätzliche Betriebsleistung. Das ist ein Nachteil dieser Schaltungstechnik. Eine zusätzliche Verlustleistung ist in Schaltungen mit Logikblöcken im Teilerring jedoch auch erforderlich und zwar für den Betrieb dieser Logikschaltungen. Im Gegensatz zu bekannten Lösungen mit derartigen Logikblöcken wird in der hier vorgestellten Schaltungstechnik jedoch keine Reduktion der Schaltgeschwindigkeit auftreten, da diese zusätzlichen D-Latch sich nicht direkt im Teilerring befinden. Deshalb kann bei ungefähr gleicher Verlustleistung nahezu die volle Schaltgeschwindigkeit eines Binärteilers erreicht werden, was mit bekannten Teilern auf Grund der Verzögerungszeit der Logikblöcke nicht möglich ist.

Zwei Strategien für das Design werden damit möglich. Entweder kann die Betriebsleistung der gewünschten Schaltung bei einer vorgegebenen Frequenz gesenkt werden oder es wird bei einer mit andern Schaltungen vergleichbaren Betriebsleistung eine etwa um den Faktor zwei größere mögliche Betriebsfrequenz erreicht.

Das hier vorgestellte Verfahren ist in der Literatur bisher nicht bekannt. Die nachfolgenden Messungen und insbesondere der Benchmark im Kapitel 7.6 bestätigen die Leistungssteigerung, den diese neue Schaltungstechnik gegenüber dem bekannten Stand der Technik ermöglicht.

Das Schaltungskonzept ist dabei nicht an reine CMOS Lösungen gebunden sondern kann auch in Bipolar- oder GaAs- Technologien mit den entsprechenden Leistungsvorteilen genutzt werden.

Das 'lost cycle' Prinzip stellt ausschließlich einen Mechanismus bereit, einzelne Taktperioden eines Hochfrequenzeingangssignals definiert auszublenden. Der Aufbau eines Vorteilers mit niedriger Gesamtleistungsaufnahme wird in Abschnitt 7.0 erläutert.

7.0 Energieeffizienter Dual-Modulus Vorteiler

In diesem Abschnitt wird eine neue Dual-Modulus Frequenzteilertechnik vorgestellt. Die Schaltung arbeitet nach dem in Abschnitt 6.4.2 beschriebenen 'lost cycle' Prinzip. In gewöhnlichen Dual-Modulus Frequenzteilern ist durch die zusätzlichen Logikschaltungen stets eine Geschwindigkeitsbegrenzung gegenüber reinen Binärteilern zu beobachten. Das 'lost cycle' Prinzip ist nicht mit einer zusätzlichen Schaltverzögerung, wie sie für Logikblöcke charakteristisch ist, verbunden.

Die neue Schaltungstechnik ist nicht auf CMOS Technologien beschränkt.

Prototypen eines 16/17 und eines 32/33 Vorteilers wurden in einer digitalen CMOS Technologie mit 0.4 Mikrometer Gatelänge gefertigt und vermessen. Die Schaltungen arbeiten bis 2.825 GHz mit einer Gesamtleistungsaufnahme von 21.7 mW. Zwischen 2.3 GHz und 2.4 GHz wurde ein Betriebsstrom von 7.3 mA an einer Betriebsspannung von 2.7 V gemessen. Die Eingangsempfindlichkeit liegt bei unter 0 dBm zwischen 1.0 GHz und 2.4 GHz.

7.1 Einführung

Dual-Modulus Frequenzteiler sind wesentliche Bestandteile von Frequenzsynthesizern in modernen integrierten Sende-Empfangsschaltungen.

Gewöhnlich werden Dual-Modulus Frequenzteiler aus synchron arbeitenden Binärteilern und dazwischen befindlichen Logikblöcken aufgebaut [51], [61].

Die Verzögerung des Logikblockes stellt eine fundamentale Geschwindigkeitsbegrenzung in einer solchen Architektur dar, da die logische Entscheidung gefallen sein muss, bevor der nächste Taktzyklus beginnen kann. Dadurch wird die maximal mögliche Eingangstaktfrequenz eines Dual-Modulus Frequenzteilers deutlich unter die mit einem reinen Binärteiler erreichbare Frequenz in einer gegebenen Technologie abgesenkt.

Deshalb wird nach anderen Möglichkeiten gesucht diese Schaltungstechnik zu umgehen. In [60] zum Beispiel mittels einer rotierenden Phase und mit einem 2:1 Binärteiler als erste Stufe.

Ziel dieser Arbeit ist es eine neue Schaltungstechnik für einen Dual-Modulus Vorteiler zu entwickeln, der nahe an die Leistungsfähigkeit eines Binärteilers bezüglich der Leistungsaufnahme und Betriebsfrequenz heranreicht.

7.2 Eine neue Dual-Modulus Teilertechnik

7.2.1 Konzept ('lost cycle')

Das neue Dual-Modulus Vorteiler Konzept basiert im Gegensatz zu den Konzepten mit Logikblöcken im kritischen Signalpfad auf einer Umschaltung zwischen zwei einfachen 2:1 Frequenzteilerschaltungen div2. Für die normale Frequenzteilerschaltung div2 ist die hier vorgestellte Schaltung identisch zu einem Binärteiler und nutzt eine voll differentiell arbeitende Master-Slave D-Latch Kettenschaltung in einem geschlossenen Ring.

Ein korrekte Frequenzteilerfunktion div2 dieses Johnson-Frequenzteilers erfordert eine Signalinversion im Ring. Da die Signale differentiell und symmetrisch sind, wird eine Vertauschung der Ausgänge vorgesehen um diese Inversion zu erzeugen, Bild 43.

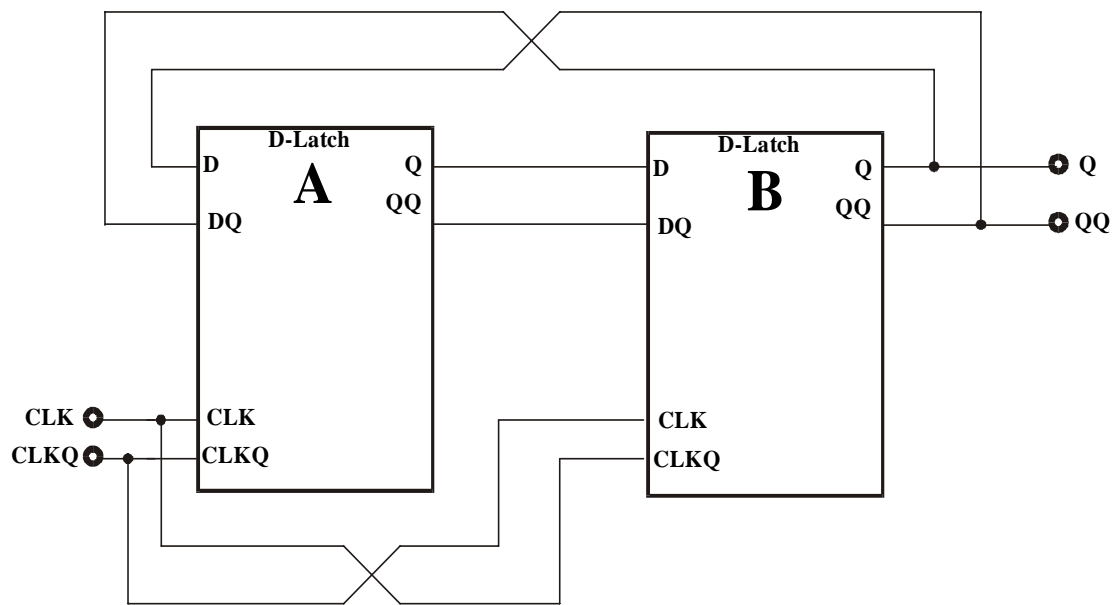


Bild 43: div2 Schaltung mit differentiellen Signalen. Inversion zwischen B und A.

Unabhängig von der Stelle, an der die Signalinversion auftritt, zwischen A und B oder zwischen B und A (Bild 44) arbeiten beide dargestellten Schaltungen als div2 Frequenzteiler.

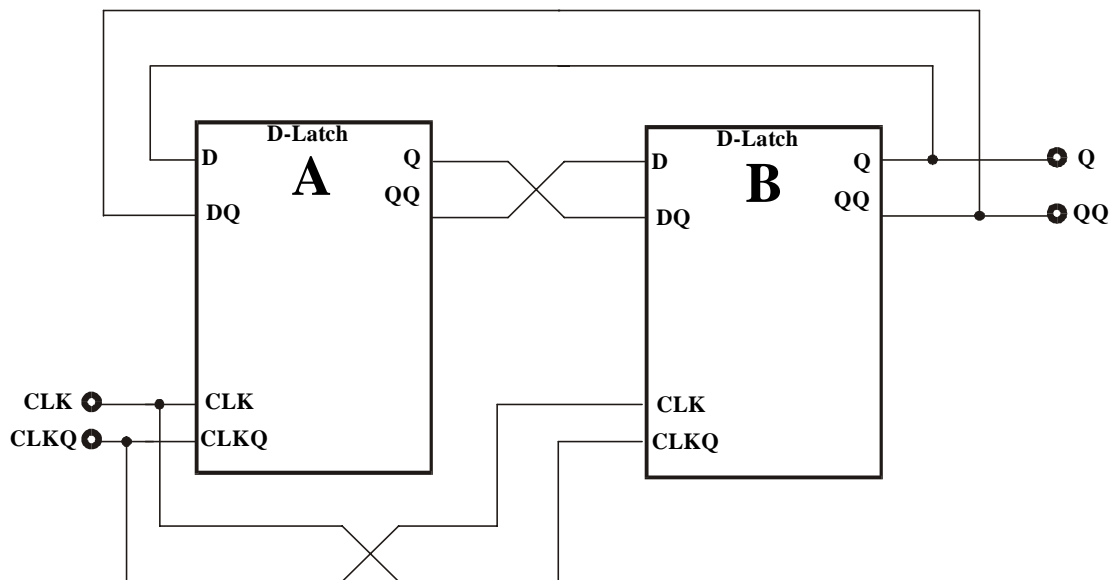


Bild 44: div2 Schaltung mit differentiellen Signalen. Inversion zwischen A und B.

Um die Unterdrückung eines Eingangstaktimpulses zu verdeutlichen nehmen wir zunächst an, dass die Stelle, an der die Signalinversion erfolgt, mit idealen Schaltern verzögerungsfrei gewechselt wer-

den kann. Diese idealen Schalter werden in Bild 45 durch Kästen SW1, SW2 dargestellt

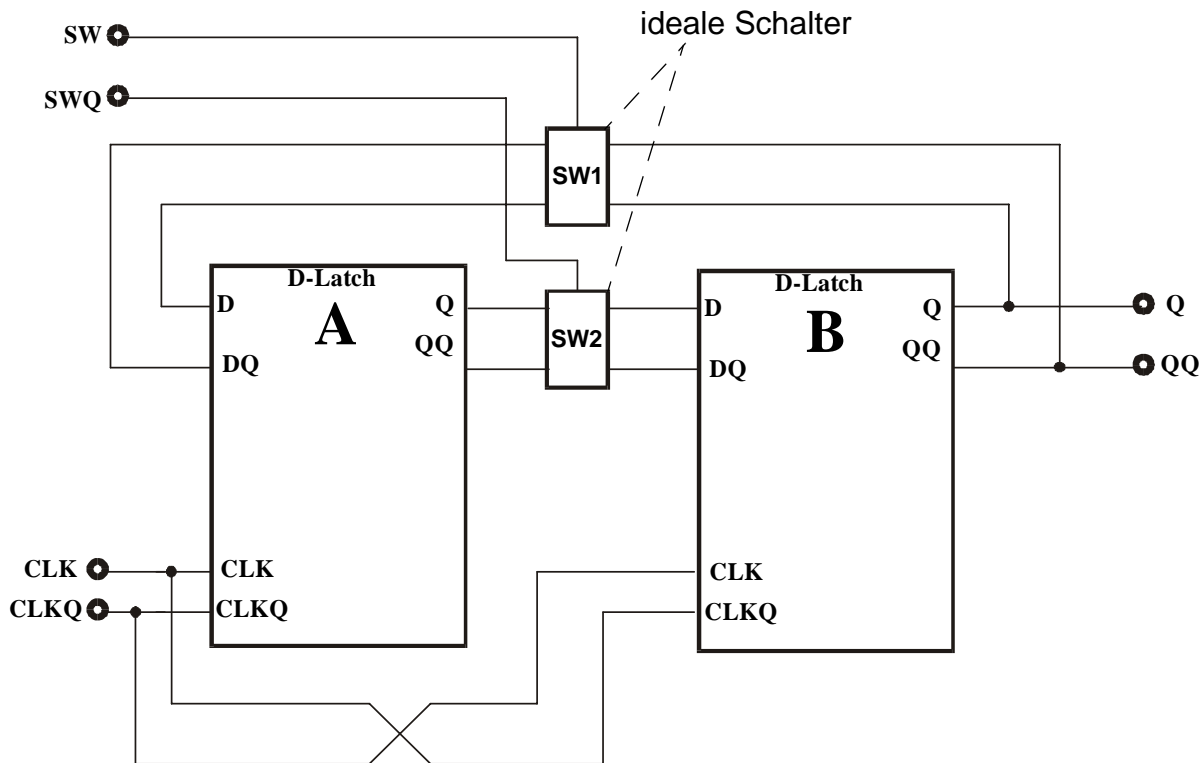


Bild 45: div2 Schaltung mit idealen Schaltern für die Signalinversion.

Auch die ansteuernden Umschaltensignale SW und SWQ sind entsprechend der gewählten Schaltungstechnik gegenphasig. Einer der Schalter SW1 oder SW2 invertiert das Signal, während der andere Schalter das Signal nichtinvertiert durchschaltet. Damit kann in dieser Schaltung zwischen den Schaltungen, wie sie in Bild 43 und in Bild 44 gezeigt werden, hin- und hergeschaltet werden. Der Signalzustand an SW und SWQ bestimmt den aktuellen Punkt der Signalinversion bei SW1 oder bei SW2.

Im Binärteilermode tastet jedes der D-Latch Schaltungen einen jeweils zum eigenen aktuellen Speicherzustand invertiertes Eingangssignal ab und speichert es.

Tritt eine Umschaltung des Signalinversionspunktes auf, so werden alle Eingangssignale invertiert und eine der D-Latch Schaltungen tastet einmalig den gleichen logischen Zustand ab, in dem es sich selbst gerade befindet. Die Schaltung verbleibt deshalb für genau diese eine Eingangstaktperiode statisch im aktuellen Zustand ohne interne Signalwechsel durchzuführen und ohne einen Ausgangssignalwechsel zu generieren.

Wir erhalten damit die gewünschte Zeitverzögerung von genau einer Eingangstaktperiode, bevor die normale div2 Binärteilung weitergeführt wird.

Um die verzögerungsfreie Schaltfunktion zu implementieren werden modifizierte CML D-Latch Schaltungen benutzt. In Bild 46 sind die zusätzlichen Schalteingänge dargestellt, mit denen jeweils eine von zwei Eingangsstufen D, DQ oder O, OQ, wie sie in Bild 37 vorgestellt wurden, selektiert werden kann.

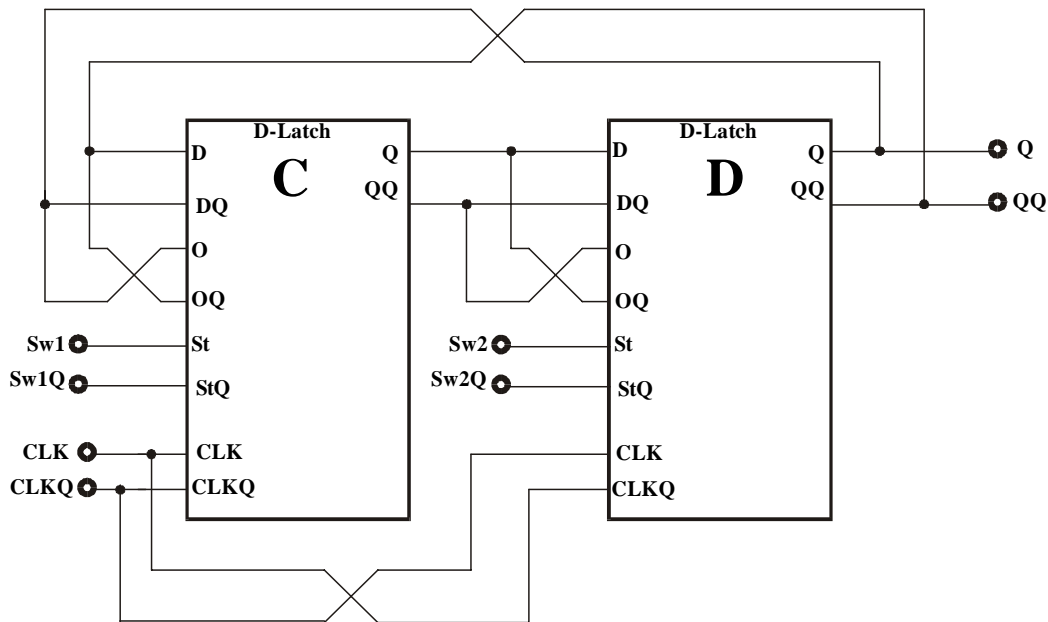


Bild 46: 'lost cycle' Frequenzteiler Blockschaltung

7.2.2 Transistorschaltungslösung

Die Standardversion einer CML D-Latch Schaltung besteht aus den Eingangstransistoren T5, T6, den Steuertransistoren T1, T2 und dem eigentlichen Flip-Flop Teil bestehend aus T9, T10 mit den Lastwiderständen R1. Die Schaltung wird von einem in Stromquellenschaltung betriebenen MOS Transistor i gespeist.

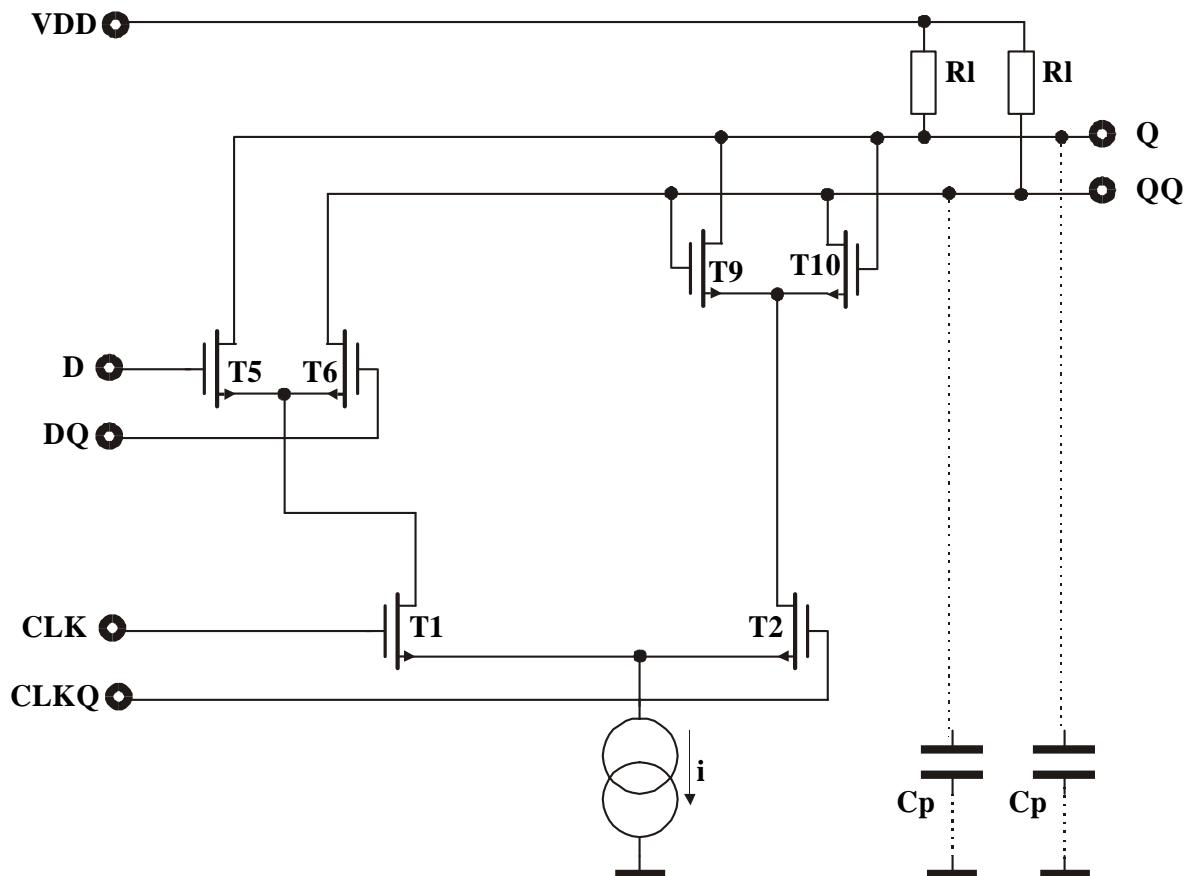


Bild 47: Standard CML D-Latch

In der modifizierten Version eines CML D-Latch ist der Eingangsteil T5, T6 durch ein zweites Eingangstransistorpärchen T7, T8 erweitert worden und ein weiteres Schalttransistorpärchen T3, T4 zur Umschaltung zwischen den beiden Eingangstransistorpärchen zusätzlich angeordnet. Die Schalttransistoren T3, T4 selektieren jeweils einen von beiden Eingängen, wobei dann der jeweils andere Eingang nicht empfindlich für Eingangssignale ist, Bild 48.

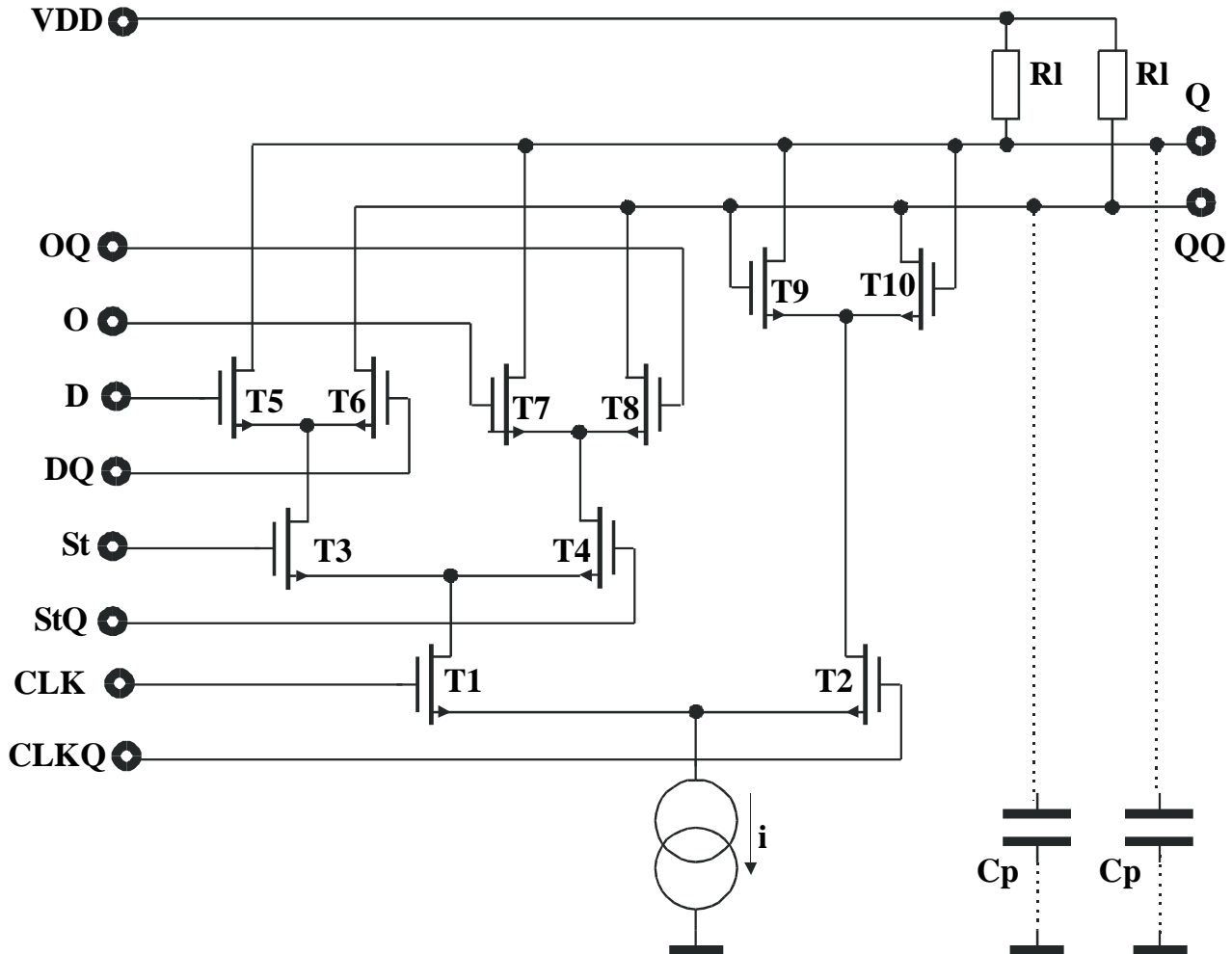


Bild 48: Modifizierte Version eines CML D-Latch

Beide Eingangstransistorpärchen sind ständig mittels ihrer Gateelektroden mit den entsprechenden Eingangssignalen verbunden. Die gewünschte Umschaltung erfolgt über die Steuerung des Stromflusses durch das ausgewählte Transistorpärchen. Dadurch hat der Umschaltprozess nur einen sehr geringen Einfluss auf die aktuellen Knotenspannungen und ist insbesondere unabhängig von den anliegenden aktuellen logischen Pegeln in der Schaltung.

Die Schaltung in Bild 46 stellt damit einen Mechanismus bereit mit jeder Umschaltflanke genau einen Eingangstaktimpuls zu unterdrücken. Ein $N+1$ Frequenzteiler mit $N=2M$ kann aufgebaut werden, wenn die soeben vorgestellte Schaltung als erste Stufe eines Frequenzteilers benutzt wird, gefolgt von $M+1$ asynchronen div2 Frequenzteilerstufen. Das Ausgangssignal dieser Frequenzteilerkette wird als Umschaltsignal an diese erste Stufe zurückgeführt. Da beide Umschaltflanken zu einem Verlust einer Eingangstaktperiode führen, ist eine Teilerstufe mehr erforderlich um pro Gesamtzyklus nur eine Schaltflanke zum Eingang zurückzukoppeln. Da die Verlustleistung bei niedrigen Frequenzen stark abnimmt, ist eine zusätzliche niederfrequente Teilerstufe bezüglich der Gesamtverlustleistung vernachlässigbar. Auch die Verzögerungszeit in einer asynchronen Teilerkette

der Länge $M+1$ ist vernachlässigbar, da ein beliebiger der nachfolgenden Eingangstaktzyklen unterdrückt werden kann, solange er nur innerhalb des Zeitfensters einer Gesamtteilerperiode liegt. Die Gesamtverzögerungszeit der asynchronen Teilerstufen ist stets kleiner als die Gesamtteilerperiode für $M > 1$.

Das gewünschte Ausgangssignal wird mit der $M-1$ Stufe erzeugt.

Die folgenden charakteristischen Daten stammen aus einer Schaltungssimulation (BSIM level 3 V.3) im 1.6 - 2.4 GHz Bereich:

- Betriebsstrom $i = 570 \mu\text{A}$,
- Arbeitswiderstand $R_l = 1100 \text{ Ohm}$,
- geschätzte parasitäre Kapazität $C_p = 20 \text{ fF}$.

In Bild 49, wird eine CADENCE Spectre Transient Simulation gezeigt. Dargestellt ist eine Schaltflanke an SW, das zugehörige Taktsignal CLK, sowie das Schaltungsausgangssignal Q.

Unabhängig vom logischen Pegel an SW wird vor und nach der Umschaltflanke eine div2 Funktion ausgeführt. Das bedeutet, dass mit zwei Eingangstaktschwingungen an CLK ($2 \cdot T$ in Bild 49) genau eine Periode im Ausgangssignal Q generiert wird, also die halbe Frequenz vom CLK Signal. Erscheint eine Schaltflanke SW, so verbleibt die Schaltung für genau eine Eingangstaktperiode CLK (T in Bild 49) statisch in den augenblicklich eingestellten Zustand und führt erst dann die beschriebene Division durch zwei wieder aus. Dieses Verhalten ist identisch mit einer div3 Funktion ($3T$ in Bild 49) für ein genau einmaliges Dividieren durch drei, da nach dem Erscheinen einer Umschaltflanke genau drei Eingangstaktschwingungen CLK benötigt werden, um eine vollständige Ausgangstaktperiode zu generieren.

Die Gesamtleistungsaufnahme der Schaltung ändert sich nicht signifikant, was bei der hier verwendeten Konstantstromlogik auch nicht anders zu erwarten ist.

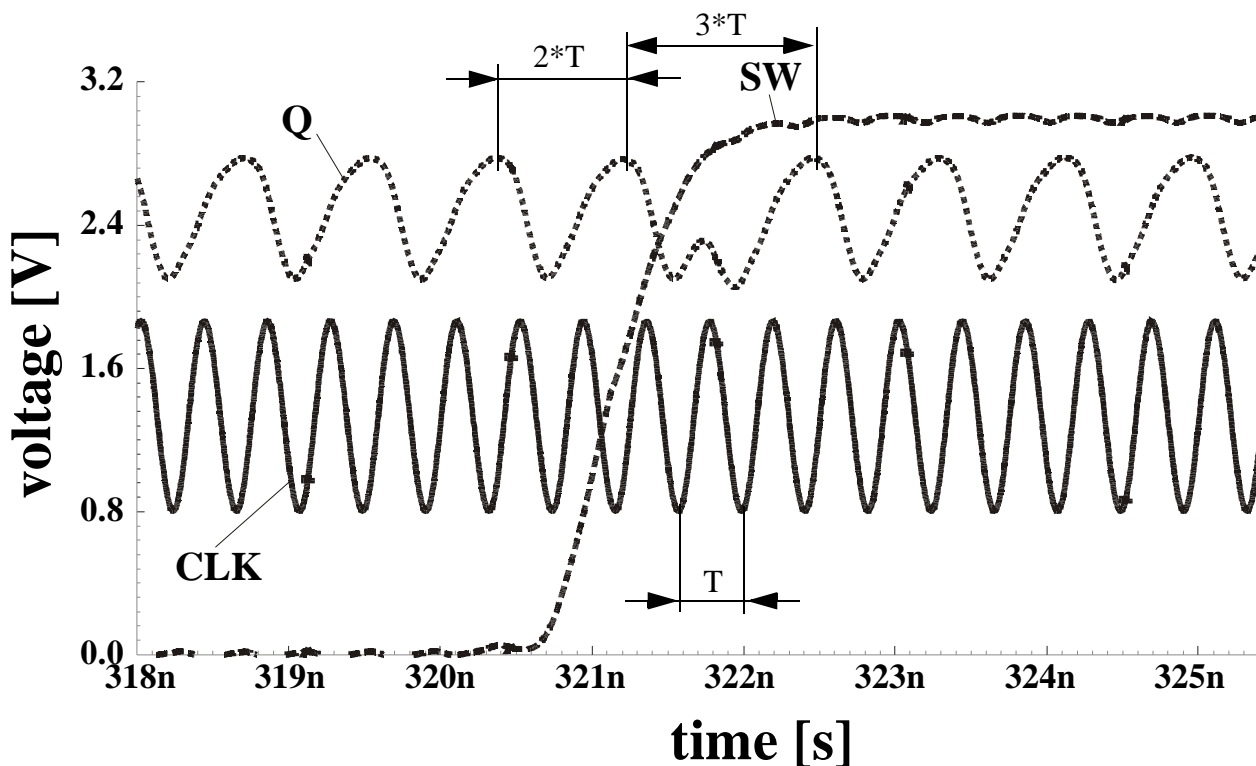


Bild 49: Simulierte Signale als Reaktion auf eine Umschaltflanke

7.3 Die Steuerung des Umschaltens

7.3.1 Das Zeitverhalten im HF Teiler Flip-Flop

Ein gemeinsames Umschaltsignal an beide CML D-Latch Schaltungen, welches nicht synchron zur Eingangstaktfolge ist, kann zu fehlerhaften Schaltvorgängen führen, wenn diese Umschaltung bei einem Frequenzteiler mit dem Teilerfaktor N angewendet wird. Unterscheidet sich zum Beispiel die steigende Flanke in ihrer Steilheit von der fallenden Flanke, so kann ein stabiler $N+0.5$ Mode auftreten, da die Schaltung auf eine dieser Flanken erwartungsgemäß reagiert, die zweite der Flanken aber nicht verarbeiten kann.

Um eine korrekte und reproduzierbare Pulsunterdrückung zu erreichen, muss die neu aktivierte Eingangsstruktur genug Zeit haben, um die Ausgangsknoten der Schaltung entsprechend den abgetasteten Eingangssignalen umzuladen. Ist diese Zeit nicht vorhanden, so kann es zu sogenannten Spikes oder metastabilen Zuständen kommen und das Ergebnis in Form eines Ausgangssignals ist ungewiss. Auf diese Art und Weise können sogar zusätzliche Pulse generiert werden ($N-1$ Funktion) anstatt einen Puls definiert zu unterdrücken ($N+1$ Funktion).

Diese Empfindlichkeit gegenüber dem Umschaltzeitpunkt erfordert eine Synchronisation des Umschaltsignals mit dem Eingangstaktsignal.

Um eine zufällige Störung der binären Teilerfunktion zu vermeiden werden deshalb das Master D-Latch D-FF1 und das Slave D-Latch D-FF2 jeweils in der inaktiven Taktphase umgeschaltet. Hierbei bedeutet inaktiv, dass die Ausgangssignale gehalten und die Eingangssignale zu diesem Zeitpunkt nicht abgetastet werden. Zwei aufeinanderfolgende CML D-Latch Schaltungen (D-FF3 und D-FF4 in Bild 42) generieren die erforderlichen Signale für diesen in zwei Phasen ablaufenden Umschaltvorgang.

Da der Austausch des aktiven Eingangstransistorpärchens eines inaktiven D-Latch schneller erfolgt als der Ausgangssignalwechsel des gerade aktiven D-Latch, ist das Umschalten stets vollständig vor dem Ende einer Taktperiode beendet. Deshalb wird die maximal mögliche Umschaltfrequenz nicht vom Umschaltsignal sondern nur von der maximalen Geschwindigkeit der binären Teiler beeinflusst. Das ist der Grund, warum mit einer solchen Schaltung annähernd die gleiche maximale Frequenz wie mit einer reinen Binärteilerschaltung erreicht wird.

Die im Bild 42 gezeigten Schaltungen D-FF3 und D-FF4 sind in Serie geschaltete Standard CML D-Latch Schaltungen, welche die um einen halben Takteingangszyklus versetzten Umschaltsignale für die modifizierten D-FF1 und D-FF2 D-Latch Schaltungen bereitstellen. Damit wird ein präzises Verhalten des Hochfrequenzvorteilers auf Kosten eines erhöhten Leistungsverbrauches für die zusätzlich erforderlichen D-Latch Schaltungen zur Synchronisation erreicht.

7.3.2 Das Zeitverhalten im Hochfrequenzvorteiler

7.3.2.1 Verzögerungszeiten im Hochfrequenzvorteiler

Das HF Eingangssignal des Hochfrequenzvorteilers stellt eine kontinuierliche Impulsfolge dar. Ein Ausgangssignal des Hochfrequenzvorteilers erscheint erst nach N bzw. $N+1$ Eingangspulsen. Im ersten Fall ist kein Mode Signal erforderlich, der Hochfrequenzvorteiler teilt im wesentlichen mit dem binären Teilerfaktor N und generiert dann jeweils eine Ausgangsimpulsflanke. Im Falle der Teilung durch $N+1$ soll genau eine der Eingangstaktperioden ausgeblendet, bzw nicht mitgezählt werden. Dabei ist es unerheblich, welche der in der zeitlichen Reihenfolge ankommenden Perioden das betrifft, solange diese Periode noch innerhalb der Gesamtteilerperiode des Hochfrequenzvorteilers liegt. Die logische Entscheidung, ob ein N oder $N+1$ Zyklus generiert wird, benötigt auf Grund der

langsameren CMOS Schaltungsteile etwas Zeit. Die Entscheidungsfindung wird mit der Ausgangsflanke des Hochfrequenzvorteilers gestartet. Zu diesem Zeitpunkt beginnt stets auch eine neue Teilerperiode des Hochfrequenzvorteilers. Nach einigen Eingangstaktperioden ist die Entscheidung gefallen und die Synchronisation des entsprechenden Signales mit der HF Eingangsimpulsfolge beginnt. Auch dieser Prozess dauert ca. ein bis zwei Eingangstaktperioden. Dann wird, wie oben beschrieben, eine der Eingangstaktperioden definiert ausgeblendet. Welche genau, das ist, wie bereits erwähnt, unerheblich. Die Schaltung des Hochfrequenzvorteilers verharret also für diese eine Eingangstaktperiode in dem gerade angenommenen Zustand und teilt danach im Binärmode weiter, bis das Ende der Teilerperiode erreicht wird. Bei Frequenzen um 2 GHz und der gewöhnlichen CMOS Verzögerungszeit innerhalb der Logikblöcke der programmierbaren niederfrequenten Teiler, findet der Prozess des Ausblendens einer Taktperiode nach ca. 5 bis 7 Eingangstaktperioden seinen Abschluss. Hochfrequenzvorteiler mit Teilverhältnissen grösser als $N=5$ bis $N=7$ haben daher keine zeitkritischen Pfade der Entscheidungsfindung zu berücksichtigen. Die Ableitung der Umschaltssignale und die Zeitverzögerungen zum Eingangstaktsignal sind im Anhang, Kapitel 12.0, Bild 104 dargestellt und werden dort nochmals kommentiert.

7.3.2.2 Phasenjitter im Hochfrequenzvorteiler

Wir haben im Abschnitt 4.4.3.2 und in [8] gesehen, dass das Phasenrauschen am Eingang eines Frequenzteilers mit höherem Teilerfaktor an seinem Ausgang stark reduziert wird. Nach dem eigentlichen HF Teilerring sind aber in Bild 26 noch die Schaltungsblöcke CML, 'level shifter', 'select logic CMOS' und 'output driver' im Signalpfad zu erkennen. Alle diese Schaltungsteile generieren Signalwechsel, welche je nach im Design festgelegter Verlustleistung der Schaltung und der zu treibenden Lastkapazität schneller oder langsamer erfolgen können und damit unterschiedlichste eigene Phasenrauschbeiträge liefern. Typischerweise sind aber die Lastkapazitäten innerhalb einer integrierten Schaltung sehr klein. Deshalb sind in der Regel Verlustleistungen im unteren μW Bereich ausreichend, um Bereiche unter -120 dBc/Hz Phasenrauschen des gesamten Hochfrequenzvorteilers zu erreichen. Diese Werte liegen wie oben schon erwähnt etwa 20 dB bis 30 dB unter den Phasenrauschleistungen integrierter Oszillatoren. Sobald jedoch das Signal vom Chip geführt werden muss, um z.B. externe niederfrequente, programmierbare Zähler anzusteuern, bestimmt die für den zugehörigen Ausgangsteiler vorgesehene Verlustleistung das Gesamtphasenrauschverhalten des Hochfrequenzvorteilers dominant.

Werden nicht monolithisch integrierte Oszillatoren verwendet, mit deutlich besseren Phasenrausch-eigenschaften und meist auch mit einer deutlich grösseren Gesamtverlustleistung, so wird der Aufbau kompletter Frequenzteiler incl. der niederfrequenten, programmierbaren Teiler sowie des Phasendetektors, der Ladungspumpe und des Schleifenfilters auf einem Chip empfohlen. Das hier vom Chip zu führende Signal ist dann ein bandbegrenztes NF Signal. Man vermeidet damit schnelle Signalwechsel an externen Pins. Die Treiber von Pins mit schnellen Signalwechseln können bei einer vorgegebenen zu erreichenden Phasenrauschleistung und einer vorgegebenen zu treibenden Lastimpedanz den Leistungsverbrauch in der Schaltung deutlich erhöhen.

7.3.3 Das Zeitverhalten im Frequenzteiler

Die niederfrequenten, programmierbaren Zähler P und S in Bild 24 werden im allgemeinen über eine Vergleichslogik nach dem Erreichen des voreingestellten Teilerfaktors auf einen definierten Zustand zurückgesetzt. Diese Vergleichslogik kann je nach Aufbau mit OR oder AND Gattern zwei verschiedene Gesamtverzögerungszeiten aufweisen. In einem der Fälle durchläuft das logische Signal nach Erreichen des letzten Eingangstaktimpulses (üblicherweise das Ausgangssignal des Hochfrequenzvorteilers) sämtliche Logikgatter nacheinander bis ein Ausgangssignal generiert wird. In dem andern Fall sind aber bis auf die letzten Gatter alle anderen Logikschaltungen schon durch die Vorläuferim-

pulse voreingestellt worden. Hier sind nach dem Eintreffen des letzten Eingangsimpulses nur noch wenige Logikgatter bzw. Ausgangstreiber umzuschalten und die Zeitverzögerung zwischen dem letzten Eingangsimpuls und dem logischen Ausgangssignal des niederfrequenten, programmierbaren Teilers ist damit minimal.

Ausserdem sei hier noch die Methode des getorten Eingangsimpulses erwähnt. Dazu wird mit einem Decoder nicht der eingestellte Teilerfaktor K des niederfrequenten, programmierbaren Zählers sondern der Wert $K-1$ überwacht und bei Erscheinen dieses Wertes ein logisches Tor freigeschaltet, welches den nächsten Eingangsimpuls als Ausgangssignal bereitstellt. Diese Methode funktioniert zunächst nur für Wertebereiche grösser $K=1$, solange dieser nicht als Spezialfall extra behandelt wird. Damit kann aber die Verzögerungszeit zwischen Eingangsimpuls und Ausgangssignal auf genau eine Gatterverzögerungszeit reduziert werden. Der Spezialfall $K=1$ kann ebenfalls in der CMOS Logik realisiert werden und die zusätzlich erforderlichen Gatter stellen in modernen Technologien weder im Design noch im Platzbedarf ein Problem dar.

Ich gehe selbstverständlich davon aus, dass derartige Schaltungstechniken bei dem Entwurf der niederfrequenten Schaltungen auch berücksichtigt werden. Damit werden dann die in 7.3.2 erwähnten Verzögerungszeiten zwischen dem Beginn einer Teilerperiode des Vorteilers und der Entscheidung über den Teilermode sicher erreicht.

Das gesamte Verhalten des Frequenzteilers bezüglich seiner Verzögerungszeit zwischen dem Beginn einer Teilerperiode des Hochfrequenzvorteilers mit der entsprechenden Schaltflanke am Ausgang des Hochfrequenzvorteilers und der Ausgangsimpulsflanke kann damit angegeben werden. Sie besteht bei Beachtung der oben angegebenen Designregeln aus exakt einer CMOS Gatterverzögerungszeit.

7.4 Die Anwendung im Schaltkreis

Das zugehörige Blockschaltbild eines neuartigen energieeffizienten Vorteilers für DECT Anwendungen wurde bereits in Kapitel 5.2, Bild 26, kurz vorgestellt. Es folgen nach dem Hochgeschwindigkeitsvorteiler drei weitere asynchrone CML div2 Frequenzteiler und ein Pegelwandler um einen digitalen Standard CMOS Pegel zu erhalten. Außerdem sind zwei weitere digitale Standard CMOS Umschalt Flip-Flop, einige niederfrequent betriebene Logikgatter und ein CMOS Ausgangstreiber integriert. Das erste der Standard Flip-Flop kann über externe Signale in den Teilerpfad geschaltet werden um die Gesamtfunktion des Vorteilers von $N=16$ auf $N=32$ umschalten zu können. Das zweite Standard Flip-Flop halbiert die Ausgangsfrequenz f_{out} und stellt damit genau eine Umschaltflanke pro Gesamteilerzyklus bereit, die an den Hochgeschwindigkeitsvorteiler zurückgeführt wird.

Bild 50 zeigt das Chiplayout mit den DC Abblockkondensatoren und den internen Spannungsreferenzen. Die Schaltung wurde für eine Betriebsspannung im Bereich von 2.7 V bis 3.3 V entworfen. Die gesamte Verlustleistung beträgt in der Simulation 18.9 mW, wenn der Ausgang mit einem 50 Ohm Abschlusswiderstand belastet ist.

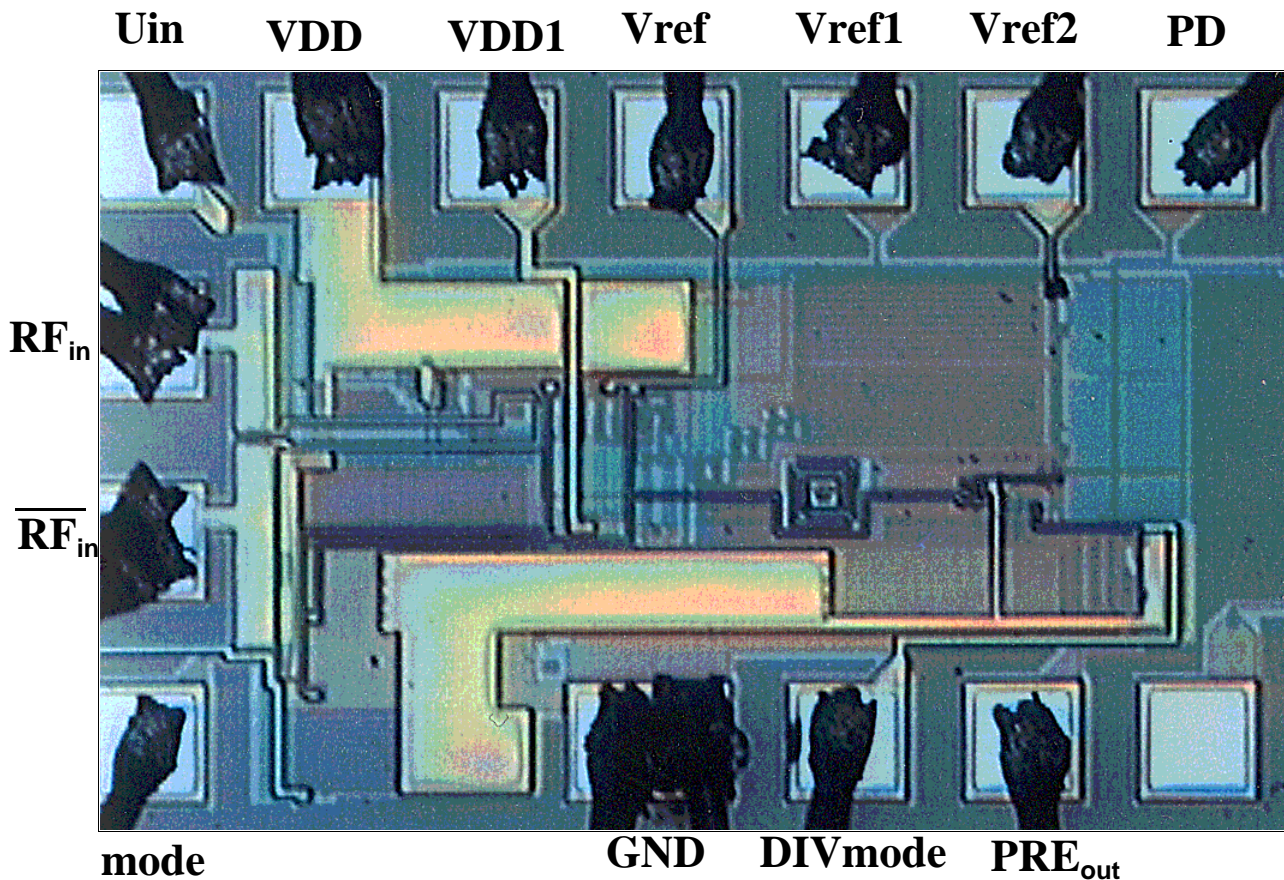


Bild 50: Layout des neuartigen Dual-Modulus Vorteilers

Die Verteilung der Verlustleistung auf die einzelnen Schaltungsblöcke bei 2.7 V Betriebsspannung und einer Arbeitsfrequenz von 2.4 GHz ist folgendermaßen: 7 mW im Synchronblock; 3.1 mW im Hochgeschwindigkeitsteiler div2/3; 3.1 mW im CML div8 Block; und 0.84 mW im Pegelwandler.

Um eine einfache Messung zu ermöglichen sind die HF Eingangspads mit integrierten Kapazitäten an die Schaltungseingänge gelegt worden, um den Eingangsgleichspannungsteil abzutrennen.

7.5 Erzielte Ergebnisse

7.5.1 Experimentelle Ergebnisse

Die Chips sind mit dem MOSIS Service in einer skalierbaren digitalen CMOS Technologie von TSMC und mit 0.4 Mikrometer Gatelänge hergestellt worden.

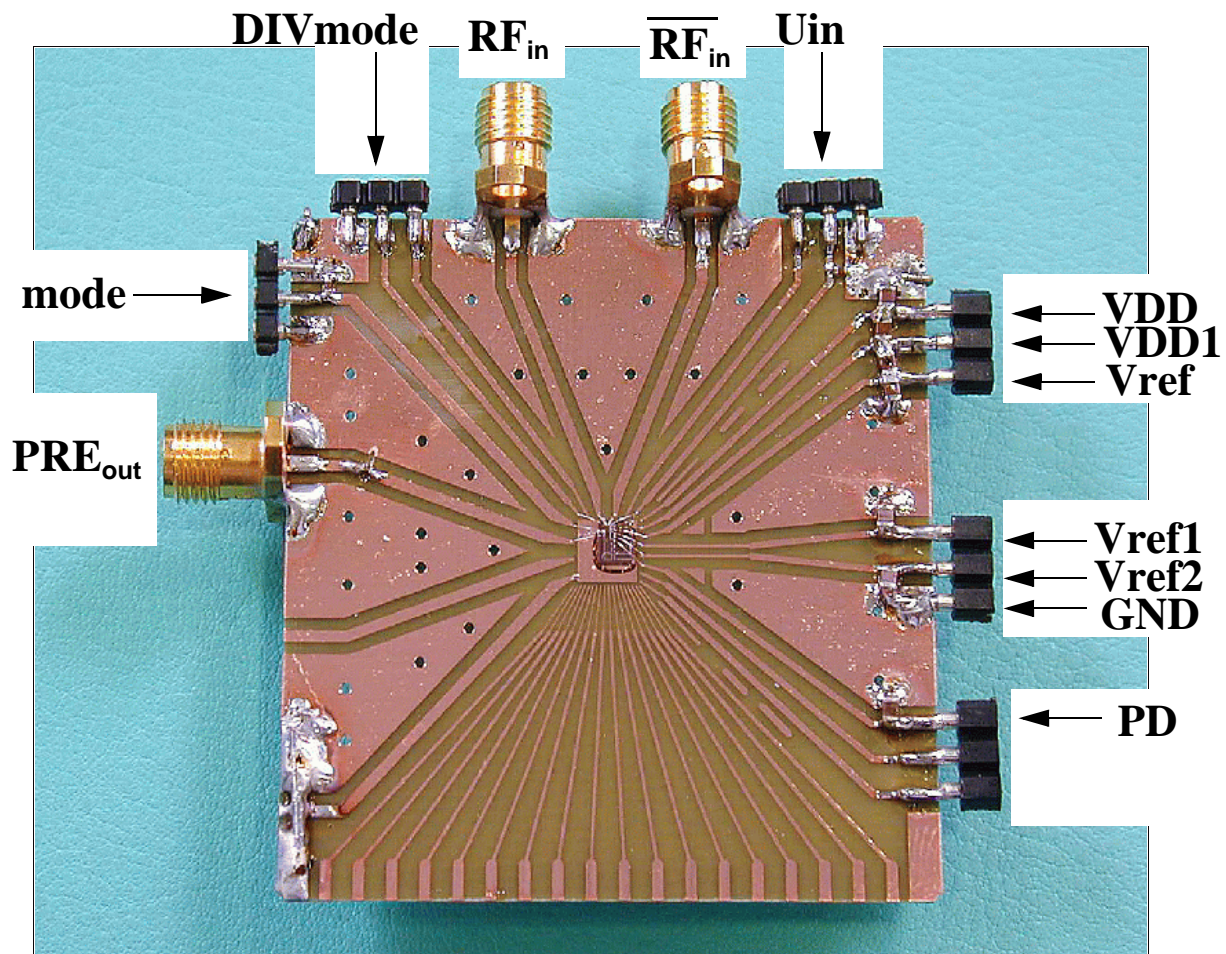


Bild 51: Test Leiterplattenaufbau des Vorteilers

Den Aufbau auf eine Hochfrequenzleiterplatte zeigt Bild 51. Das Chip ist mit Epoxidharz geklebt und drahtgebondet.

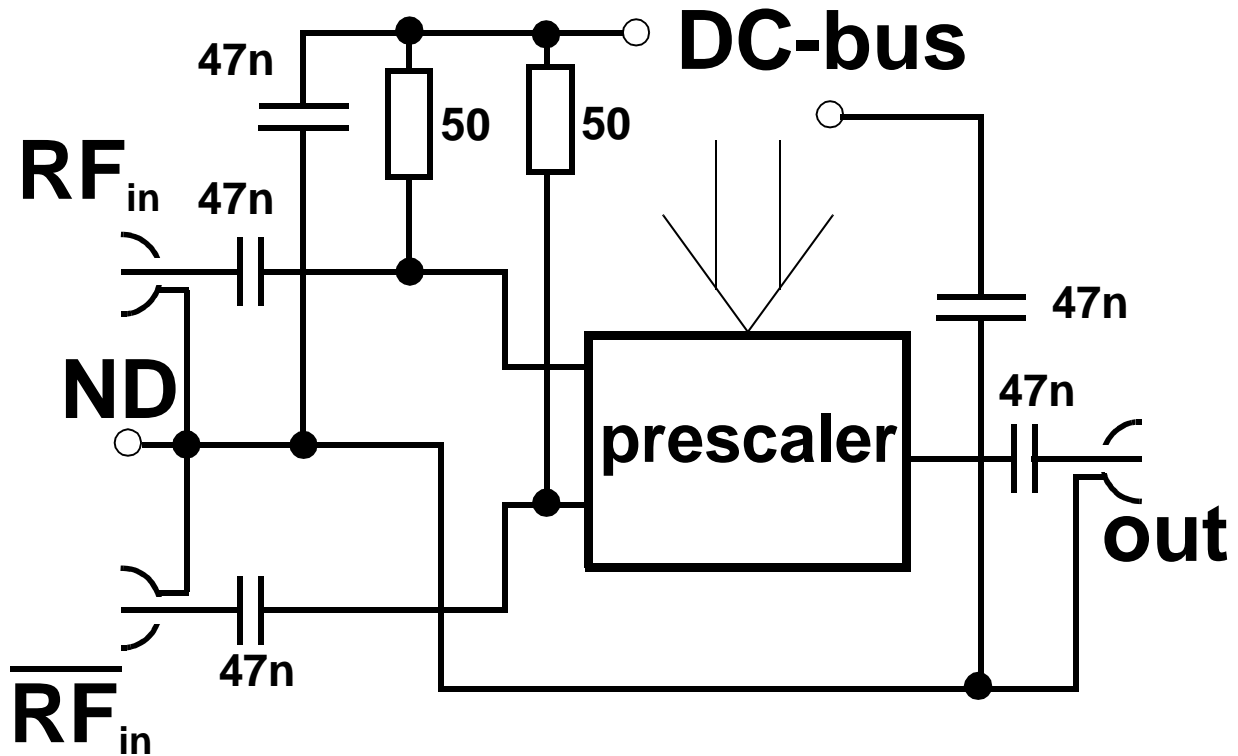


Bild 52: Außenbeschaltung auf der Leiterplatte

Auf der Leiterplatte wurden zusätzlich noch einige Koppelkondensatoren und Abschlusswiderstände sowie DC Abblockkondensatoren nach Bild 52 angeordnet.

Die Messung erfolgte mit einem in Bild 53 schematisch gezeigten Testaufbau. Die Messungen mit differentiellen Eingangssignalen erfolgten nach dem in Bild 54 gezeigten Testaufbauschema.

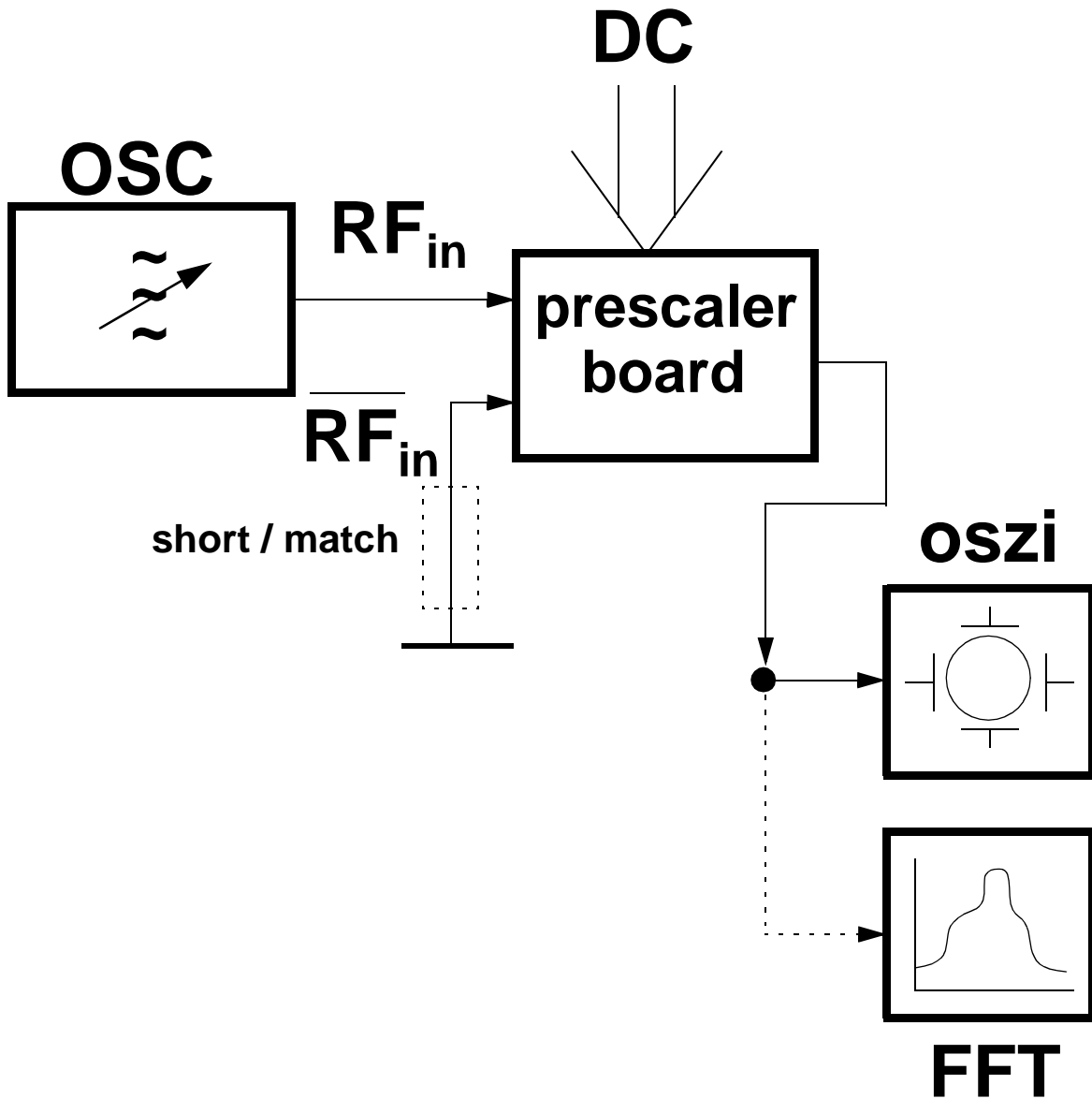


Bild 53: Testaufbau für 'single ended' Signale

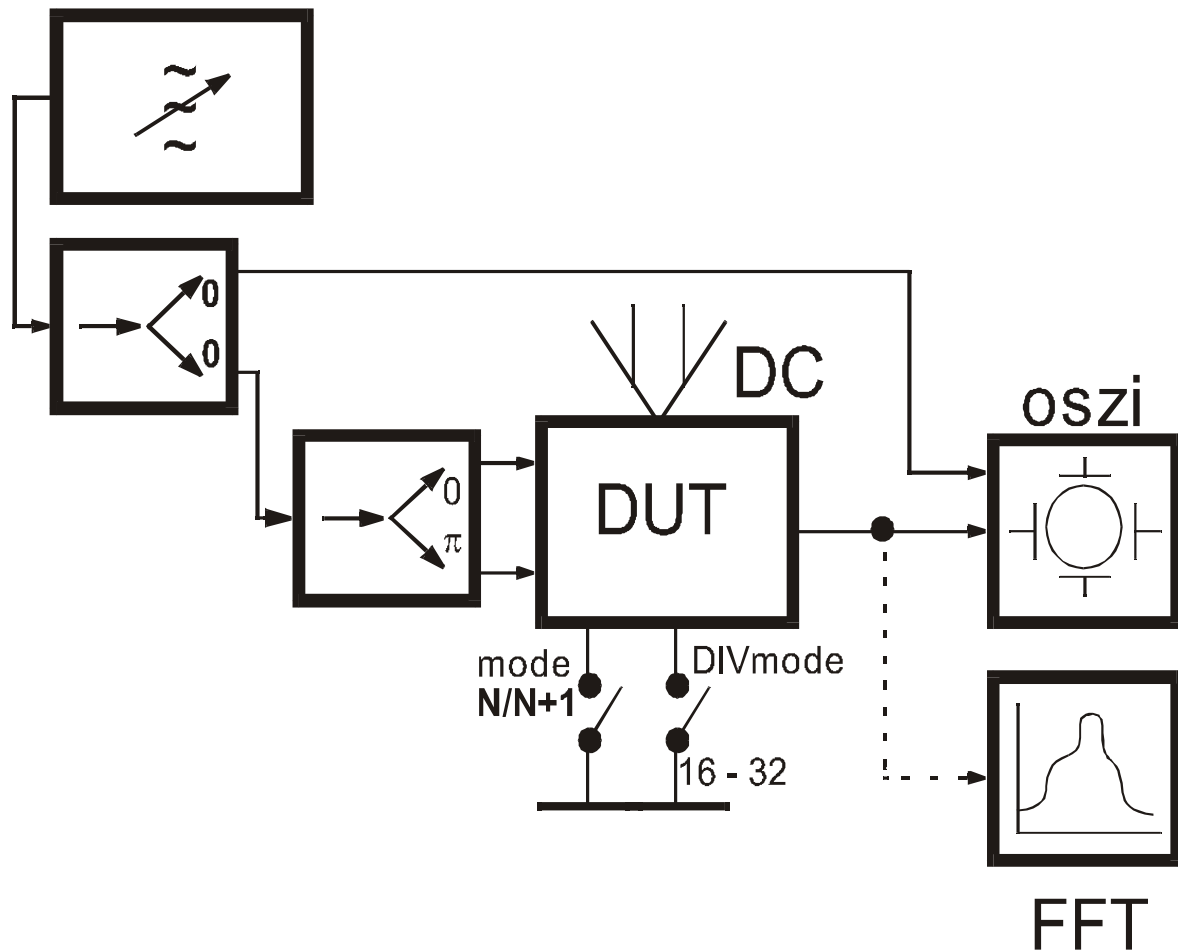


Bild 54: Testaufbau für differentielle Signale

Von dem vom Generator gelieferten Sinuseingangssignal wird zunächst ein Referenzsignal für das Oszilloskop abgeleitet und das verbleibende Signal in differentielle Signale (zwei um 180 Grad phasenverschobene frequenzgleiche Signale) aufgespalten.

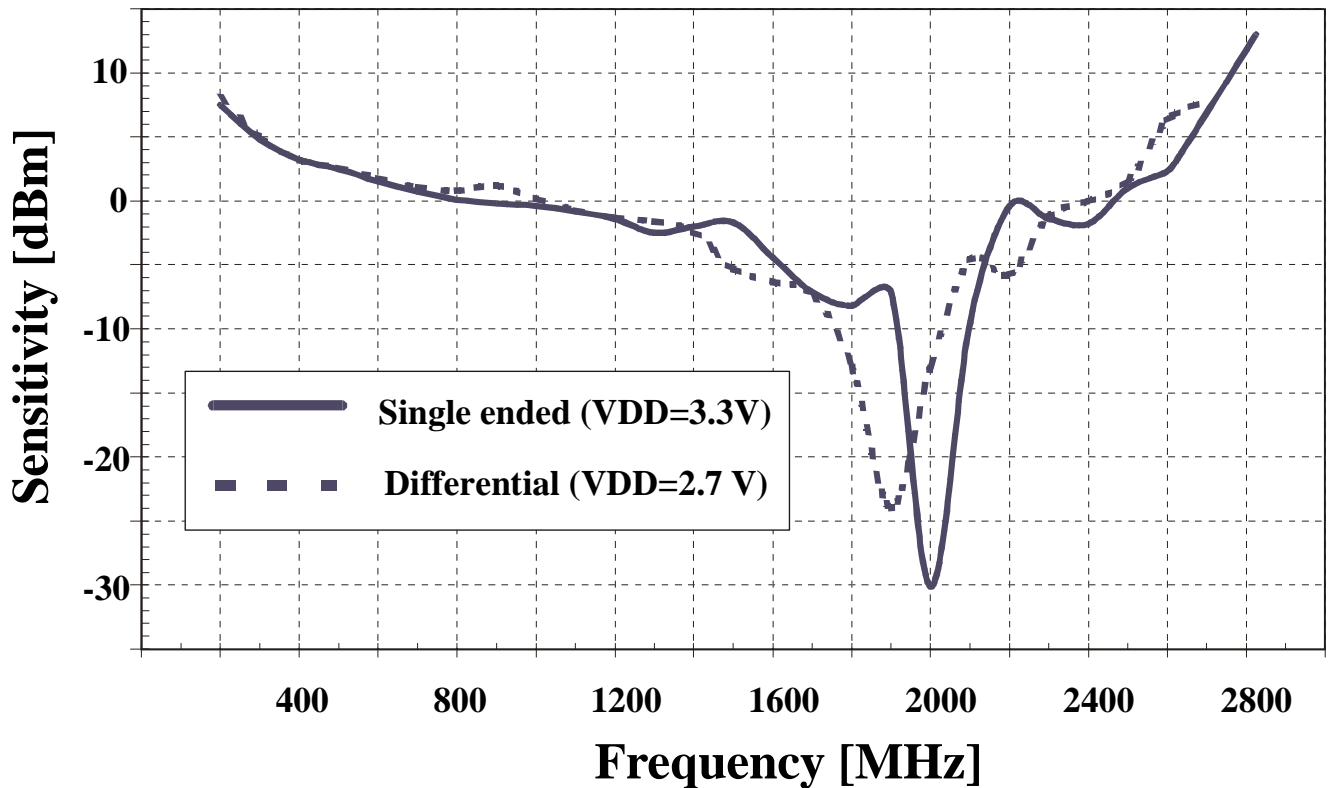


Bild 55: Eingangsempfindlichkeit des Dual-Modulus Vorteilers

Im 'single ended' Mode wurde die Schaltung direkt mit der Signalquelle verbunden und der zweite Eingang gegen Masse kurzgeschlossen. In Bild 55 sind die beiden so gemessenen Empfindlichkeiten dargestellt. Da diese Signale über Koppelkapazitäten an den Schaltungseingängen liegen, welche parasitäre Kapazitäten von ungefähr der gleichen Größe gegen das Massepotential aufweisen, kann noch mit einer etwa um drei dB höheren Empfindlichkeit der Schaltung gerechnet werden, als sie in Bild 55 dargestellt ist. Das ist insbesondere dann der Fall, wenn die Hochfrequenzeingangssignale mit Integration des VCO mit auf dem Chip generiert werden und diese verlustbehafteten Koppelkapazitäten entfallen können.

Die Messungen zeigen erwartungsgemäss keinen signifikanten Unterschied der Eingangsempfindlichkeit wenn der Teilermode div32/div33 gewechselt wird.

Die Bilder 49 und 50 zeigen Oszilloskopaufnahmen von Eingangs und Ausgangssignalen eines Vorteilers für beide Betriebsmodi.

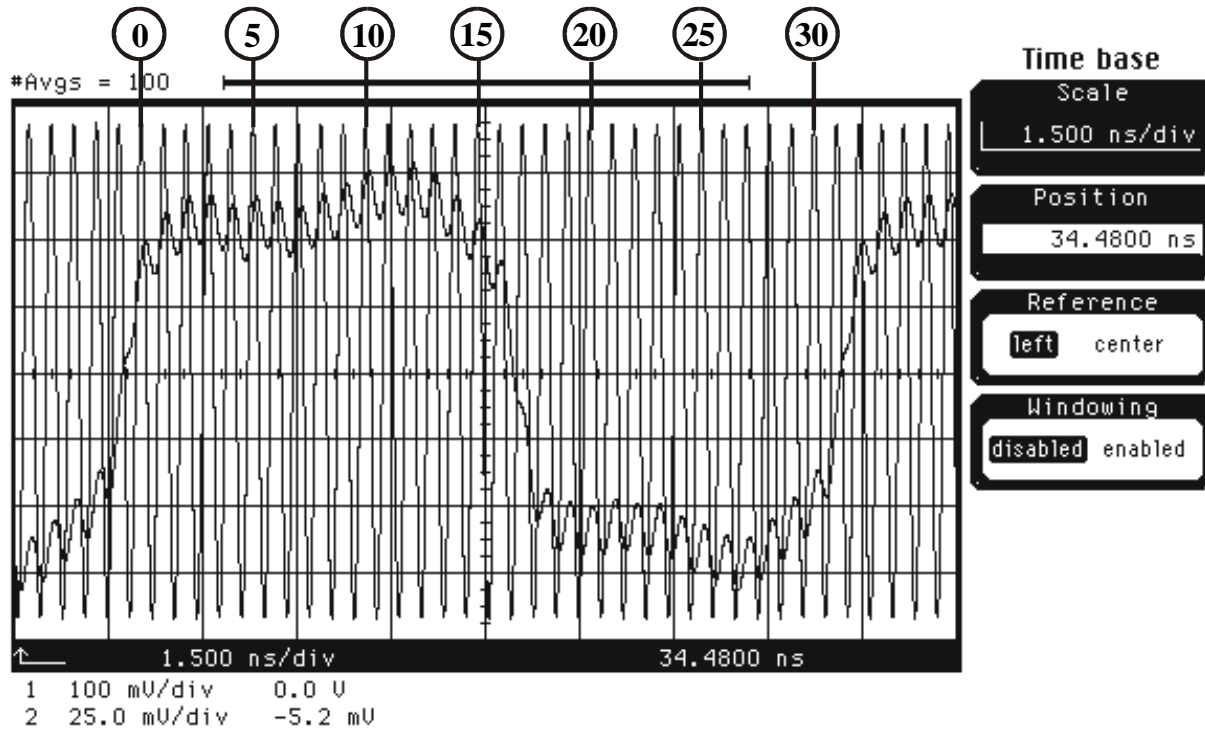


Bild 56: Eingangs-Ausgangsplot bei 2.3GHz im div32 mode

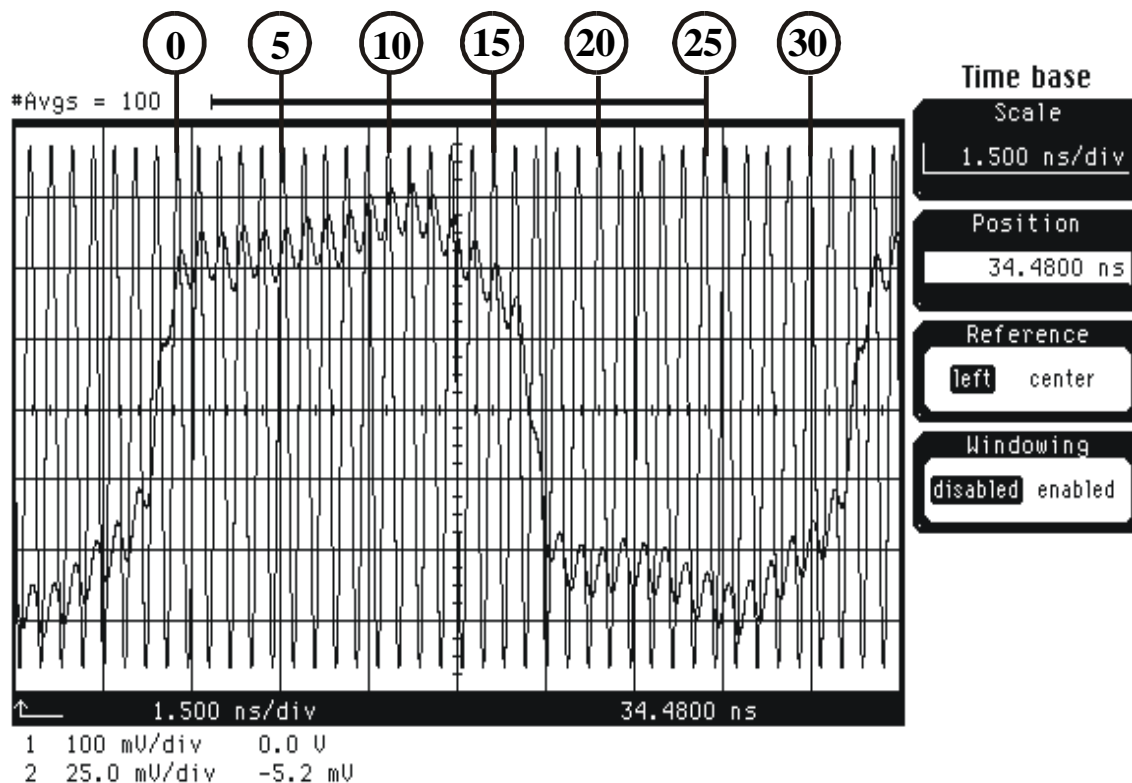
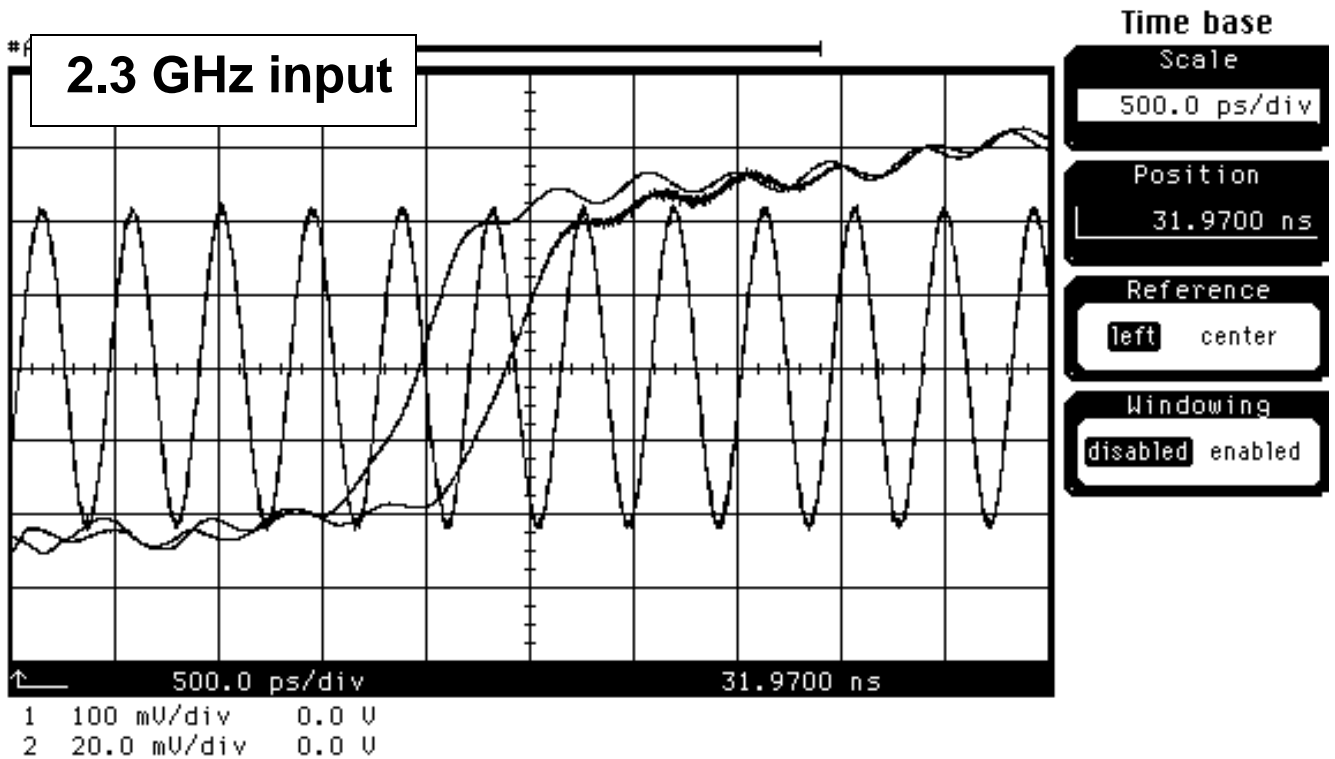


Bild 57: Eingangs-Ausgangsplot bei 2.3GHz im div33 mode



mode 16/17

Bild 58: Oszilloskopaufnahme des Dual-Mode bei 2.3 GHz

Bild 58 zeigt die ansteigende Signalflanke des Ausgangssignales unter Berücksichtigung der Eingangssignalphasenlage im div16/17 Teilermodus und bei einer Eingangssignalfrequenz von 2.3 GHz. In diesem Bild ist die Verzögerung der Ausgangssignalflanke um genau eine Eingangstaktperiode deutlich sichtbar.

Die gesamte Leistungsaufnahme des Testchips wurde über einen Frequenzbereich von 200 MHz bis 2.8 GHz gemessen.

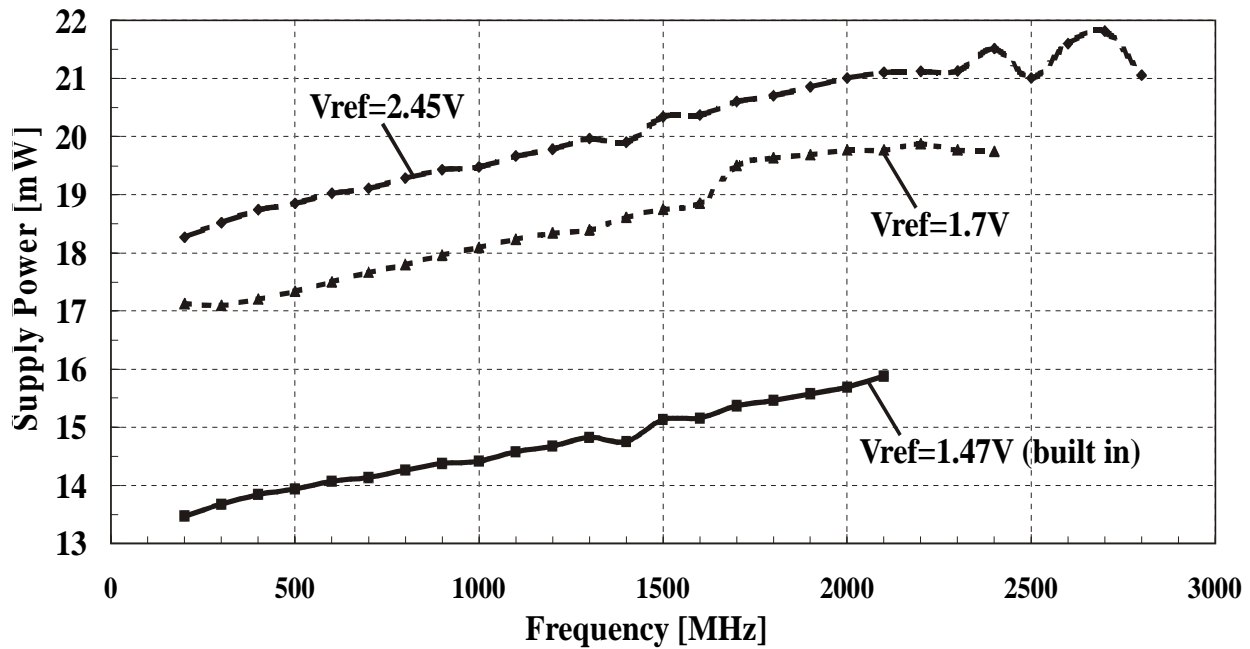


Bild 59: Gesamtleistungsaufnahme des Vorteilers als Funktion der Frequenz bei Raumtemperatur

Um die Schaltung über einen großen Frequenzbereich betreiben zu können wurde die interne Spannungsreferenz extern auf 1.7V und 2.45 V angehoben. Bild 59 zeigt Kurven der gemessenen Gesamtverlustleistung bei Raumtemperatur.

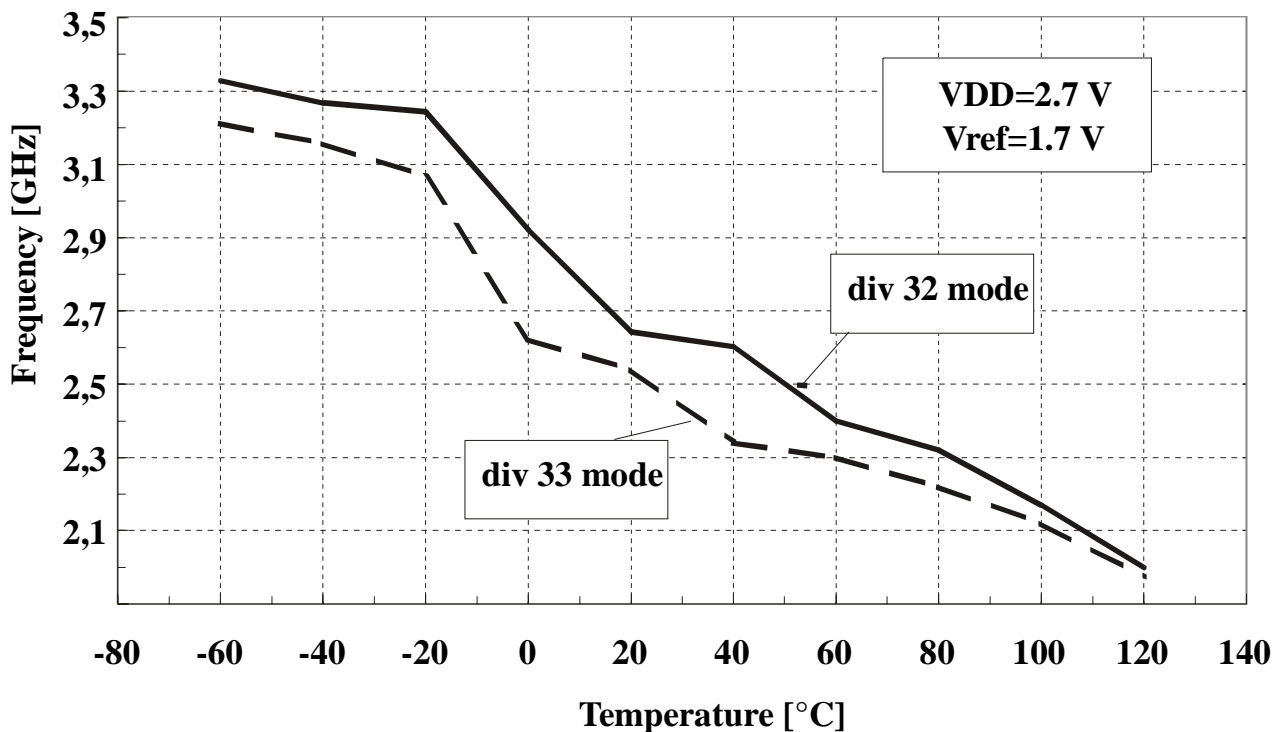


Bild 60: Maximale Eingangsfrequenz als Funktion der Temperatur

Das Testchip läuft ohne eine Temperaturkompensation. Mit erhöhter Temperatur wird deshalb die Leistungsaufnahme geringer und die erreichbare maximale Teilerfrequenz fällt mit ca. 7.2 MHz pro °C. Bild 60 zeigt die entsprechenden Kurven jeweils für den div32 mode und den div33 mode. Die Temperaturabhängigkeit ist in beiden Moden ähnlich. Im Temperaturbereich von -60 bis 120 °C hat die hier verwendete Eingangstaktunterdrückung nur einen geringen Einfluss auf die Leistungsfähigkeit der Schaltung verglichen mit der rein binären Frequenzteilung.

7.6 Der Vergleich mit anderen Vorteilern

Um die erzielten Resultate mit anderen existierenden Dual-Modulus Vorteilern zu vergleichen wurden zwei Schlüsselparameter ausgewählt: die maximale Eingangsfrequenz und die Leistungsaufnahme bei dieser Frequenz.

Während die erreichbare maximale Teilerfrequenz leicht zu ermitteln ist, ist die Leistungsaufnahme deutlich komplizierter zu bestimmen. Man kann zum Beispiel mit einem veränderten Frequenzteilerkonzept die Leistungsaufnahme aus der Betriebsgleichspannung mindern und gleichzeitig ein wesentlich höheres Hochfrequenzeingangssignal benötigen. Die erforderliche Leistung wird dann teilweise aus dem Hochfrequenzeingangssignal entnommen. Außerdem unterscheiden sich Vorteiler hinsichtlich ihres Teilerfaktors; ein höherer Teilerfaktor erfordert mehr aufeinanderfolgende Teilerstufen und damit eine größere Verlustleistung.

Deshalb hängt ein Benchmarking stark vom Standpunkt oder dem Aufwand ab, den man verschiedenen Schaltungsdetails eines speziellen Designs widmet. Um einen Kompromiss zu finden, der auf praktischen Aspekten beruht, betrachten wir eine Sende-Empfangsschaltung (eng. transceiver) auf einem einzelnen Chip. Vom Hochfrequenzeingangssignal wird angenommen, dass es auf dem Chip an einem 50 Ohm Widerstand mit einem 50% Wirkungsgrad aus einer Gleichspannung erzeugt wird. Die Annahme eines 50% Wirkungsgrades (im Vergleich zum 25% Wirkungsgrad beim Generieren einer Sinuswelle) mag zu optimistisch sein, wird aber dadurch gemildert, dass auf dem Chip ja in der Regel auch keine 50 Ohm Lasten zu treiben sind. Möglicherweise diskriminiert diese globale Annahme immer noch Designs, welche eine hohe Eingangsimpedanz im betrachteten Frequenzbereich besitzen.

Für Dual-Modulus Vorteiler mit Teilverhältnissen kleiner als 128/129 werden virtuell div2 Stufen dazugeschaltet bis das Teilverhältnis 128/129 erreicht ist. Jede dieser Stufen benötigt im Idealfall etwa die Hälfte der Betriebsleistung ihrer Vorgängerstufe. Die gegebenen Gleichspannungs- und die erforderlichen Hochfrequenzeingangsleistungen werden summiert und ergeben eine normalisierte Leistungsaufnahme, die hier als zweiter Schlüsselparameter dient.

Beide Schlüsselparameter werden den Achsen in Bild 61 zugeordnet. Designs mit erhöhter Leistungsfähigkeit haben hier die Tendenz in den unteren rechten Bereich des Diagramms zu gelangen.

Dual-Modulus Prescalers 1985-2000 (CMOS and SIMOX)

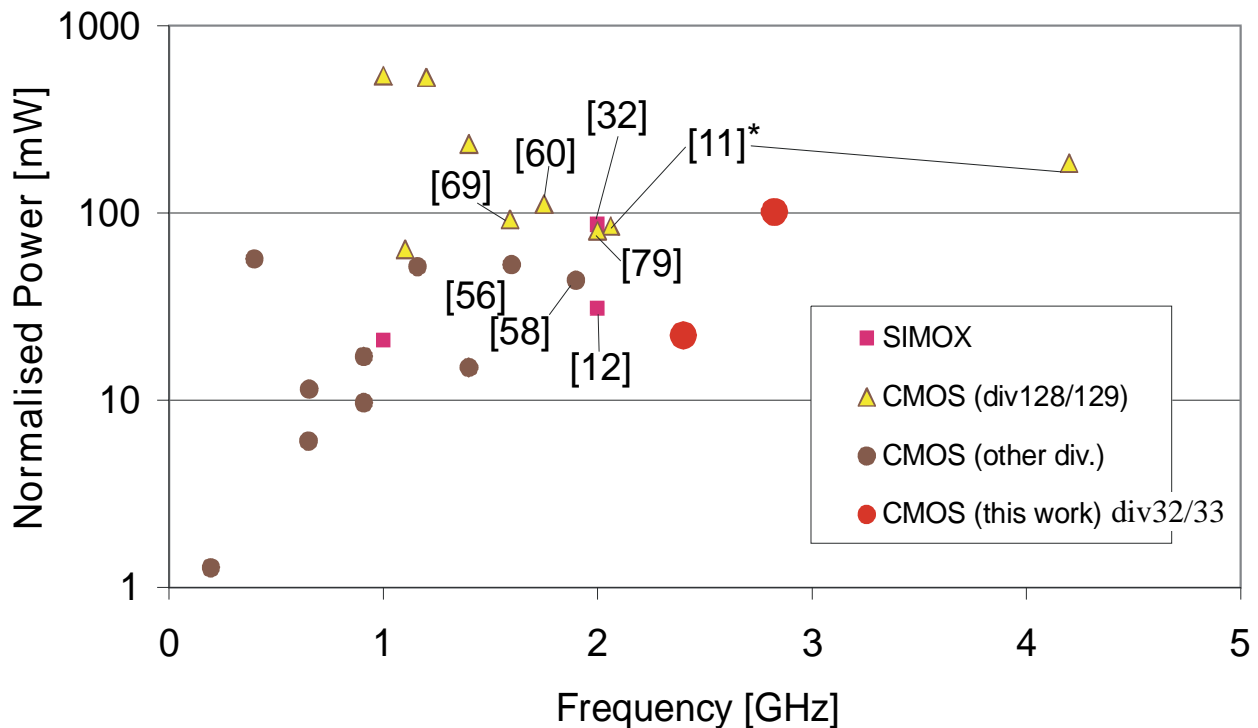


Bild 61: Normalisierte Verlustleistung von Dual-Modulus Frequenzteilern

Neben den Messungen die vorgestellt wurden, enthält Bild 61 alle in der zugänglichen Literatur bekannten Hochfrequenz Dual-Modulus Vorteiler in CMOS und SIMOX Technologien von 1985 bis 2000. Aus Gründen der Übersichtlichkeit wurden nur alle Designs mit Eingangsfrequenzen größer als 1.5 GHz mit Referenzen auf die entsprechende Literatur versehen.

Die Referenz [11] ist mit einem Stern versehen, da dieses Design in einer experimentellen Technologie mit ausbalancierten P/N Transistoren gefertigt wurde, die eigentlich nicht mit einer Standard digital CMOS Technologie vergleichbar ist.

Werden zusätzlich auch noch andere Technologien und reine binäre Frequenzteiler berücksichtigt, so erhält man die Darstellung in Bild 62. In dieser Darstellung sind zum Vergleich zusätzlich noch die Werte der getesteten Schaltungen in der 250 nm und 350 nm digital CMOS Technologie von Infineon enthalten. Diese Designs enthalten noch keine Synchron D-Latch und zeigen damit noch die fehlerhaften Schaltvorgänge beim Umschalten, funktionieren aber als Binärteiler ohne Fehler mit dem Teilerfaktor $\text{div } 128$.

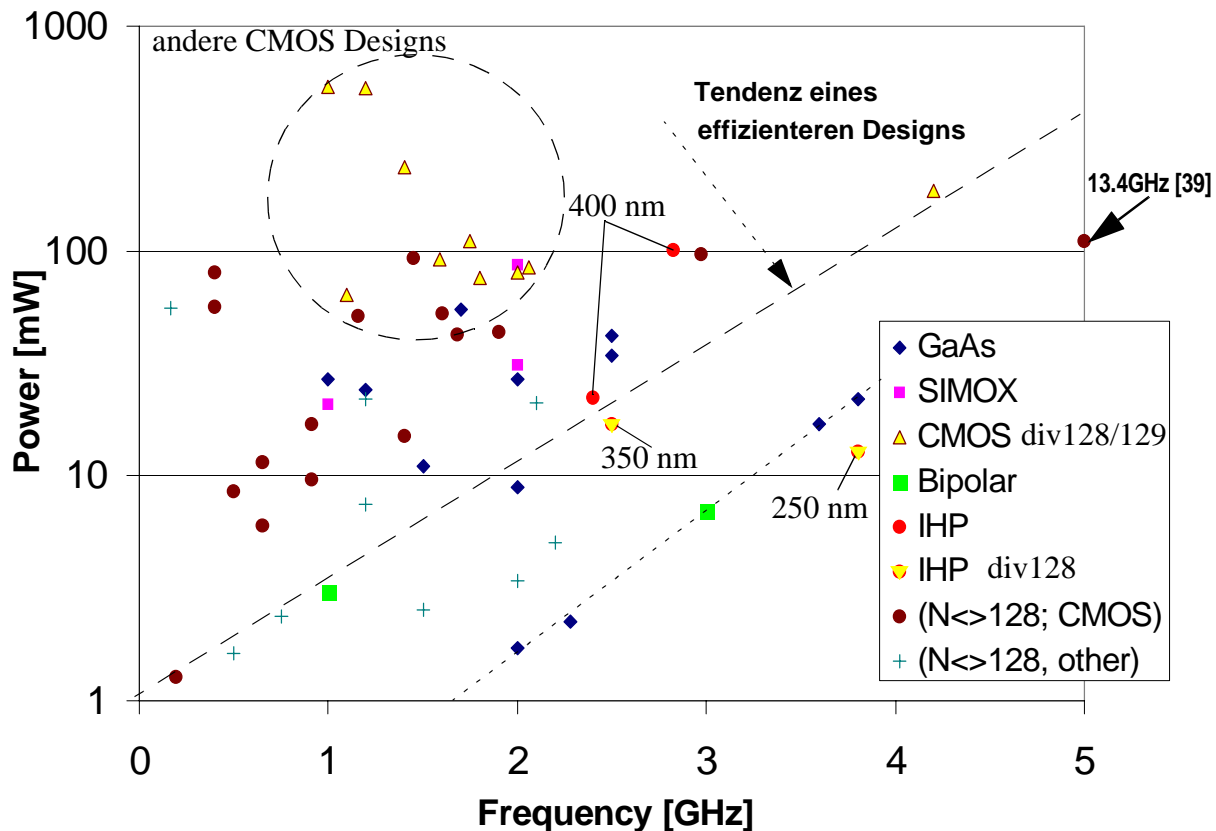


Bild 62: Normierter Leistungsverbrauch von Frequenzteilern als Funktion der Frequenz

Die Leistungsfähigkeit der in dieser Arbeit vorgestellten neuartigen Schaltung wird nur von binären 2:1 CMOS Teilerschaltungen erreicht. Die einzige Schaltung, die bis 13.4 GHz arbeitet ist ebenfalls ein Binärteiler in einer experimentellen 100 nm CMOS Technologie [39]. Die hier vorgestellte neuartige Schaltung ist in einer Standard digital CMOS Industrietechnologie mit 400 nm Gatelänge gefertigt worden. Es scheint eine technische Leistungsgrenze zu geben. Legt man eine Gerade ausgehend vom Ursprung bis zu dem bereits 1988 von Cong [11] vorgestellten Design bei 4.2 GHz / 184 mW, so ist diese in Bild 62 mit dargestellte Linie für CMOS Schaltungen nur schwer zu erreichen oder in Richtung höherer Frequenzen und niedrigerer Leistungsaufnahmen zu überschreiten.

Die Leistungsaufnahme des hier vorgestellten neuen Vorteilers ist immer noch hoch, verglichen mit den Anforderungen eines Transceivers auf einem einzigen Chip. Die erforderlichen Synchron D-Latch Schaltungen sind ein klarer Nachteil dieser Schaltungstechnik, zumal bei dem oben beschriebenen Design die gesamte für diesen Schaltungsteil reservierte Verlustleistung mit 7.1 mW etwa doppelt so hoch als eigentlich erforderlich angesetzt wurde, um die Gesamtleistungsfähigkeit des Vorteilers nicht mit diesem Teil der Schaltung nicht zu begrenzen. An dieser Stelle ist ein ernsthafter Ansatz zur weiteren Arbeit gegeben, da es möglich erscheint selbstsynchronisierende Schaltungsteile ohne weiteren Leistungsverbrauch zu entwickeln.

7.7 Schlussfolgerungen

Es wurde eine neue Dual-Modulus Frequenzteilertechnik an Hand eines Prototypes demonstriert. Das Chip funktioniert im div16/17 und im div32/33 Modus. Es wurde in einer 0.4 Mikrometer Standard digital CMOS Technologie hergestellt. Erreicht wurde eine maximale Arbeitsfrequenz von 2.825 GHz bei einer Gesamtleistungsaufnahme von 21.7 mW. Unter 2.4 GHz liegt die Leistungsaufnahme bei kleiner als 20 mW. Die Eingangsempfindlichkeit ist kleiner als 0 dBm im Bereich von 1 GHz bis 2.4 GHz.

Die hier verwendete neuartige Umschalttechnik am Hochfrequenzvorteiler ist relativ unempfindlich bezüglich der maximal erreichbaren Eingangsfrequenz und erreicht damit ein niedriges Verhältnis von Leistungsverbrauch zu Arbeitsfrequenz. Diese Schaltungstechnik kann auch bei GaAs oder Bipolartechnologien angewendet werden.

Die Reduktion der Leistungsaufnahme in den zur Synchronisation erforderlichen D-Latch Schaltungen stellt einen Schwerpunkt der weiteren Arbeit dar.

7.8 Trendschätzung der Verlustleistung

Die Gesamtverlustleistung einer PLL Schaltung mit dem hier vorgestellten neuartigem Vorteiler beträgt etwa 25 mW. Davon entfallen ca. 15 mW bis 17 mW auf den Vorteiler, 1 mW bis 4 mW auf den monolithisch integrierten Oszillator. Etwa 3 mW verteilen sich auf den Phasenvergleicher, die Ladungspumpe, den Analogverstärker in PLL3 (vgl. Anhang A), den Schleifenmonitorausgangstreiber sowie die Referenzspannungserzeugung.

Die Leistung für einen 50 Ohm Ausgangstreiber wurde nicht berücksichtigt.

Erste Messungen an CMOS Testschaltungen mit 250 nm Transistoren erbrachten eine Gesamtverlustleistung für den Vorteiler von nur noch wenig über 10 mW, wobei diese Schaltungen noch keine sichere Dual-Mode Funktion besitzen. Die sichere Funktion des Dual-Mode sollte jedoch nicht zu einer wesentlich größeren Verlustleistung dieser Schaltungen führen.

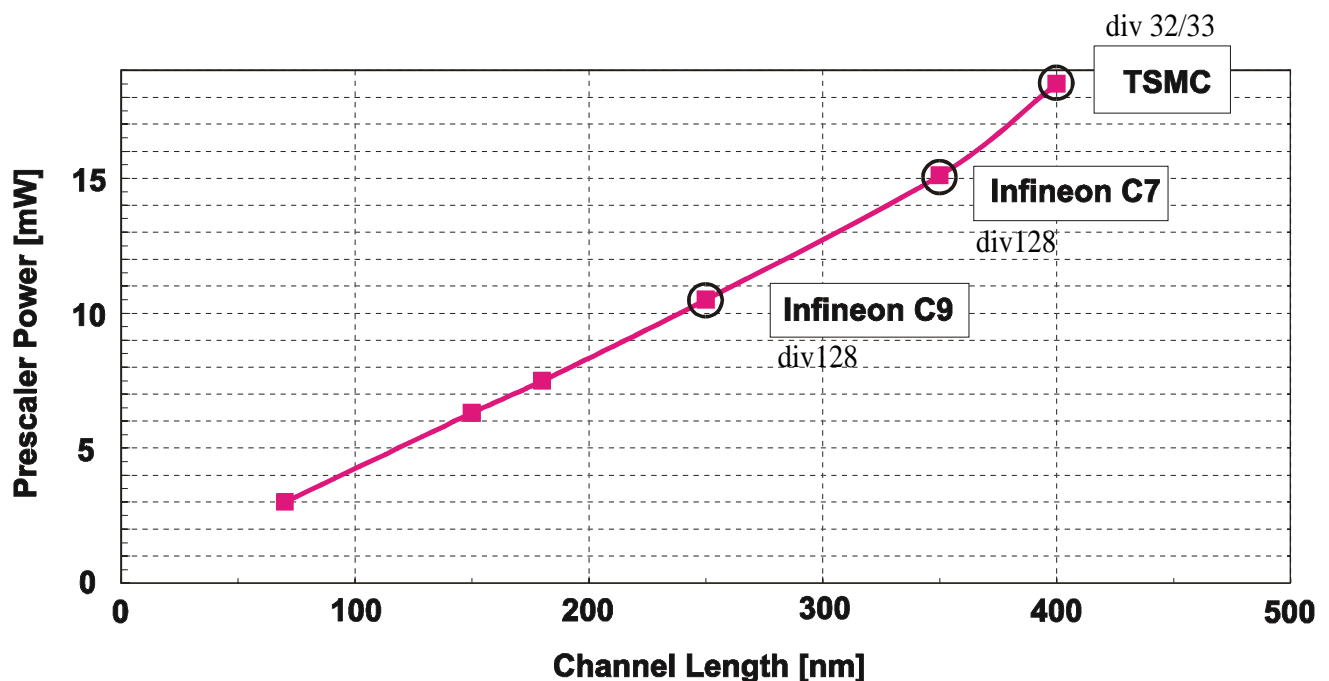


Bild 63: Leistungstrendschätzung des neuen Vorteilers als Funktion der Kanallänge

Wird eine solche PLL Schaltung also in einer 250 nm Technologie ausgeführt, so ist eine Gesamtverlustleistung der Schaltung von unter 20 mW zu erwarten.

Noch kleinere Kanallängen, wie sie in den nächsten Jahren in die Fertigung überführt werden, deuten auf erreichbare Werte mit unter 10 mW Gesamtverlustleistung hin.

Ein Benchmarking von PLL Schaltungen erweist sich als noch weit schwieriger als der Vergleich von Vorteilern untereinander. In einer PLL ist neben dem energieeffizienten Design des Vorteilers auch noch der VCO und selbstverständlich auch die anderen Schaltungsteile optimal auszulegen und der richtige Bereich für die analoge Steuerspannung des VCO muss eingehalten werden. Dazu kommt meist die fundamentale Schwierigkeit, dass der Zielfrequenzbereich meist nicht übereinstimmt, ganz abgesehen von Kanalabständen, Phasenrauschen des VCO etc.

Sieht man von PLL Schaltungen mit Mixern ab, die wieder andere Problemkreise aufwerfen, so liegen die niedrigsten veröffentlichten Verlustleistungen für komplette PLL Schaltungen mit Frequenzteilern im 2 GHz Bereich und die in ausschließlich CMOS Technologie hergestellt werden und für große Temperaturbereiche ausgelegt worden sind zwischen 51 mW [70] und 225 mW [78]. Deshalb sind hier noch einige komplette PLL Schaltungen in einer Tabelle angefügt um die verschiedenen Parameter mit zu erfassen.

Literatur	Name	Technologie Jahr	Frequenz	Verlust- leistung	Kommentar
[78]	Wei-Zen Chen and Jieh- Tsorng	BiCMOS 0.8 μ m 1999	1.8GHz	225mW	standard Integer-N architecture using CML D-Latch
[77]	Hafez and Elmasry	BiCMOS 0.8 μ m 1999	1.12GHz	71mW	full analog low speed phase detector archi- tecture, switched cap.
[70]	Craninckx and Steyaert	CMOS 0.4 μ m 1998	1.88GHz	51mW	Integer-N architecture
[62]	Sumi at al.	discrete 1997	30MHz 80MHz	91.2mW 307mW	Integer-N architecture
[43]	Thamsirianunt and Kwas- niewski	CMOS 1.2 μ m 1994	0.9GHz	18mW	Integer-N architecture
[37]	Soyer, Ewen and Chuang	CMOS 0.45 μ m 1994	1.25GHz	270mW	div16 fixed divider

Eigentlich sollte das Phasenrauschen des VCO als Parameter mit in die Bewertung der PLL Performance mit eingehen. Das Design von VCO Schaltungen und insbesondere integrierter Induktivitäten soll hier jedoch nicht im Detail mit betrachtet werden.

8.0 Zusammenfassung

Es wurde eine neuartige Schaltungstechnik für energieeffiziente Hochfrequenzvorteiler vorgestellt und in einem CMOS Experiment verifiziert.

Prototypen eines 16/17 und eines 32/33 Vorteilers wurden in einer digitalen CMOS Technologie mit 0.4 Mikrometer Gatelänge vermessen. Die Schaltungen arbeiten bis 2.825 GHz mit einer Gesamtleistungsaufnahme von 21.7 mW. Zwischen 2.3 GHz und 2.4 GHz wurde ein Betriebsstrom von 7.3 mA an einer Betriebsspannung von 2.7 V gemessen. Die Eingangsempfindlichkeit liegt bei unter 0 dBm im Frequenzbereich zwischen 1.0 GHz und 2.4 GHz.

Trotz der geringen gemessenen Leistungsaufnahme ist diese Schaltung noch nicht ganz optimal im aktuellen Design. Es muss die Grenze bestimmt werden, bis zu der man die Leistungsaufnahme der hier erforderlichen Synchron D-Latch herabsetzen kann ohne einen signifikanten Leistungsabfall zu erhalten. Im aktuellen Design ist dieser Teil der Gesamtverlustleistung mit 7.1 mW stark Überdimensioniert.

Die Leistungsfähigkeit der neuen hier vorgestellten Schaltungstechnik eines Dual-Modulus Vorteilers reicht nahe an die Leistungsfähigkeit eines Binärteilers bezüglich der Leistungsaufnahme und Betriebsfrequenz heran.

Auf dieser Grundlage lassen sich komplette PLL Testschaltungen mit ca. 25 mW Gesamtleistungsaufnahme in einer 350 nm CMOS Technologie realisieren. Dieser Wert ist etwa die Hälfte der Verlustleistung, die für eine PLL Schaltung mit dem niedrigstem bisher veröffentlichten Leistungsverbrauch in einer CMOS Technologie angegeben wurde [70]. Mit modernen Technologien werden mit der hier vorgestellten neuen Schaltungstechnik für Vorteiler PLL Schaltungen mit Verlustleistungen kleiner als 20 mW möglich.

Die neue Schaltungstechnik ist nicht auf CMOS Technologien beschränkt und kann genauso in Bipolar oder GaAs Schaltungen eingesetzt werden.

Der theoretische Ansatz, die fundamentale Begrenzung durch die, nach dem Stand der Technik erforderliche Logik im Hochfrequenzteilerring, zu umgehen und die erforderlichen Umschaltungen am Schaltungsausgang, bei der geringeren Frequenz, auszuführen sind damit experimentell verifiziert worden.

Es verbleibt jedoch die Aufgabe, die nachteilige Synchronschaltung vollständig zu eliminieren. Das ist möglicherweise mit selbstsynchronisierenden Schaltungsteilen am Hochfrequenzeingang erreichbar. Dazu muss geprüft werden, ob die naturgemäße Trägheit der Bauelemente gegenüber sehr schnellen Eingangssignalwechseln gezielt genutzt werden kann.

Die vorgestellte Testschaltung besitzt keine temperaturkompensierten Stromquellen in den einzelnen CML-FF. Auch in dieser Richtung kann das Design noch stärker hinsichtlich einer minimalen Verlustleistung optimiert werden.

Betrachtet man die fundamentalen Unterschiede von dynamischen D-FF und den in dieser Arbeit verwendeten CML Schaltungen so kann eine weitere deutlich reduzierte Verlustleistungsaufnahme auf der Teilsystemebene erreicht werden Bild 64.

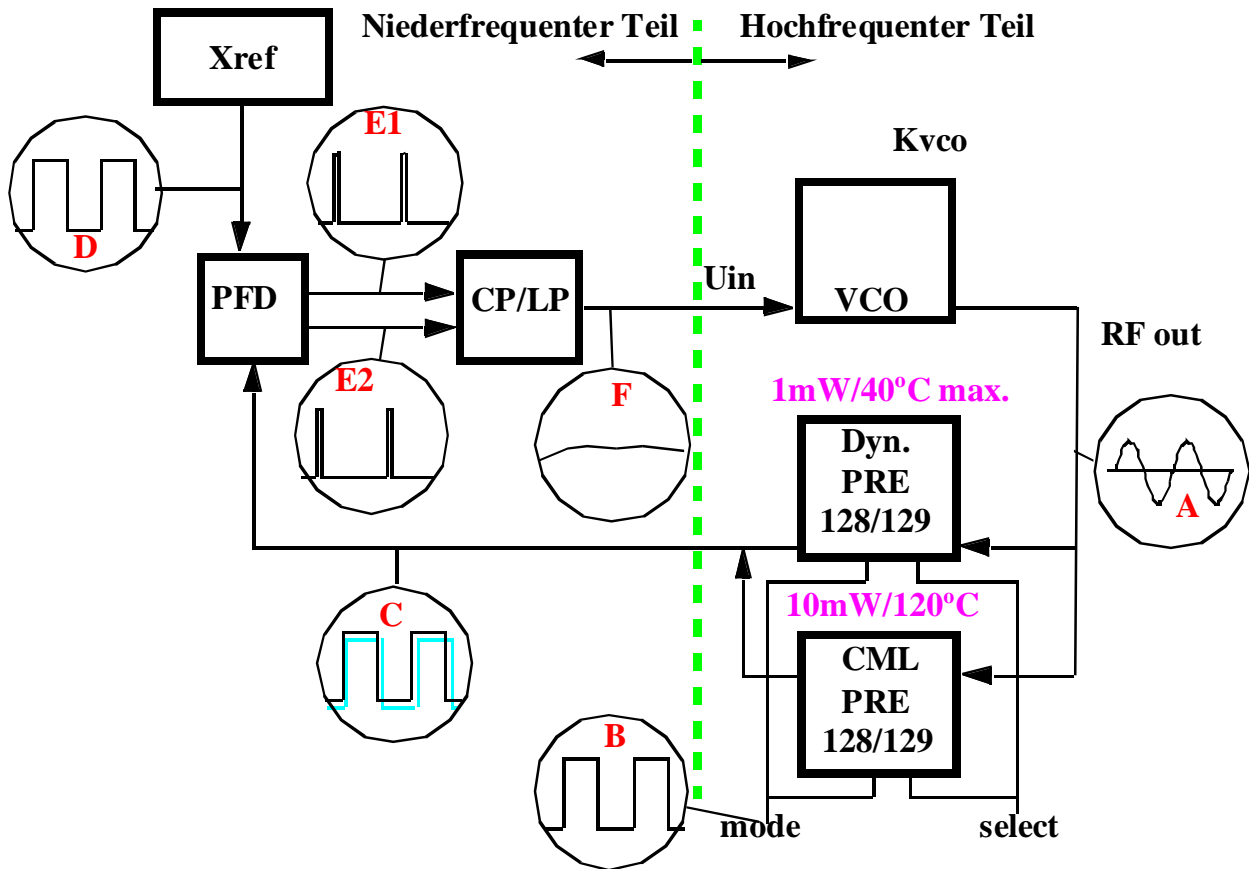


Bild 64: Vorschlag für weiter reduzierte Verlustleistung durch 'kalte Redundanz'

Ein dynamischer Vorteiler, in einem Design mit minimalen Kapazitäten, nimmt sehr viel weniger Verlustleistung auf als ein CML Vorteiler, funktioniert aber dann nur bis zu einem Temperaturbereich von ca. 40°C stabil. Wird parallel zu einem mit dynamischen D-FF's aufgebauten Vorteiler in einer PLL Schaltung ein Vorteiler mit CML Schaltungen angeordnet, der bei einer größeren Verlustleistung stabil bis zu einer Chiptemperatur von 120°C arbeitet, so ist nur noch eine Umschaltlogik erforderlich. Diese Umschaltlogik schaltet bei Überschreiten der 40°C Grenze auf den Vorteiler mit CML-FF's um und bei Unterschreiten derselben zurück zu der Funktion mit dem dynamischen Vorteiler. Auf diese Weise wird der Leistungsbedarf an die aktuelle Chiptemperatur angepasst und die Funktion der PLL in allen Temperaturbereichen sichergestellt.

Auch die dynamisch betriebenen Schaltungen dürften noch Reserven besitzen. Im Idealfall werden anstatt des Stromes nur noch diskrete Ladungspakete genutzt. Derartige Schaltungen sind in der Klasse der CCD Schaltungen bereits vorgeschlagen worden.

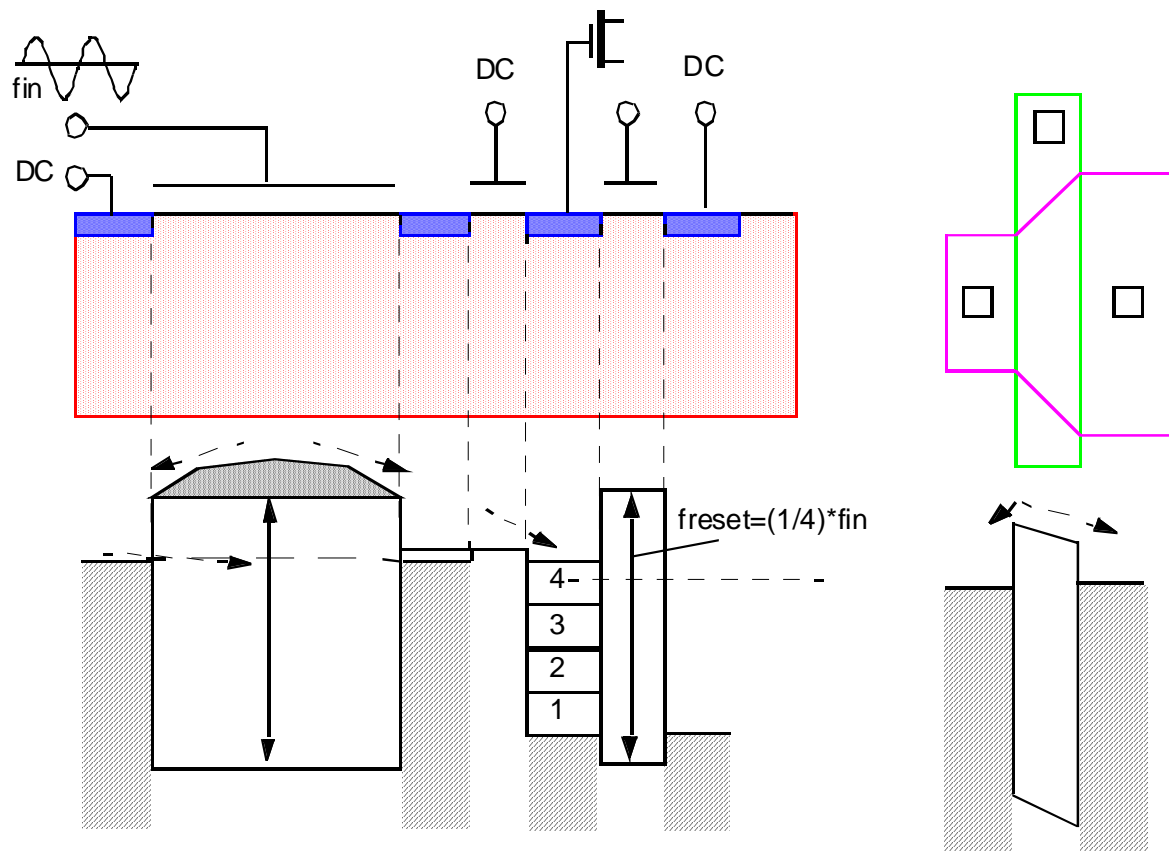


Bild 65: Dynamischer Frequenzteiler mit CCD Eingangsstruktur in CMOS Technologie

Mit einer Hochfrequenzeingangsimpulsfolge können einzelne Ladungspakete generiert werden, wie es im linken Teil des Bildes Bild 65 gezeigt wird. Über einen Ladungssensor und einen schnellen Komparator wird die Schwelle für einen Reset dieser Schaltung überwacht. Im rechten Teil des Bildes 79 wird eine Möglichkeit gezeigt, mit den Mitteln des Layoutes eine unsymmetrische Ladungsaufteilung einer Ladungspumpstruktur zu erzielen. Simulationsrechnungen derartiger Schaltungen müssen im verwendeten Modell die Ladungsspeicherung der MOS Transistoren berücksichtigen. Das Hauptproblem einer solchen Schaltungstechnik besteht darin, geeignet schnelle und doch nicht zu stromintensive Komparatoren zu finden. Erste Simulationsrechnungen mit einfachen CMOS Invertern als Komparatoren zeigen brauchbare Ergebnisse bis ca. 1 GHz. Um Störsignale über dem Substrat zu unterdrücken empfiehlt es sich diese Schaltungen symmetrisch auszulegen.

Auch die im Kapitel 6.4.1 beschriebenen Ansätze der Arbeit mit Schieberegistern sind nicht vollständig geprüft und einfach aus Zeitgründen nicht weiter verfolgt worden. Hier existieren möglicherweise noch interessante Schaltungsvarianten. Der theoretische Ansatz bei diesen Schaltungen besteht darin, dass die monolithische Integration auf Grund der immer kleineren Strukturen kein Problem bei der Verwendung von zusätzlicher Hardware darstellt. Von der Gesamtheit der integrierten Schaltungsteile wird jedoch praktisch immer nur ein kleiner Teil mit Strom versorgt und betrieben.

9.0 Danksagung

Ich möchte mich bei meiner Frau und meinen Kindern bedanken, für das Verständnis das sie dieser Arbeit entgegengebracht haben. Herrn Prof. Dr. Ourmazd danke ich für die Eröffnung der Möglichkeit an diesem Forschungsthema zu arbeiten sowie der Anregungen bezüglich klarer und sachbezogener Formulierungen. Herrn Prof. Dr. Weger danke ich für viele fachliche Hinweise bezüglich der HF Schaltungs- und insbesondere auch der Messtechnik. Herrn Dr. W. Winkler möchte ich für seine Lektionen in Schaltungstechnik, die jahrelange exzellente Zusammenarbeit und die ausführlichen Fachdiskussionen in allen Fragen der analogen Schaltungstechnik danken. Ein herzlicher Dank geht an Herr Dr. H. Gustat, der sich in die Details dieser Schaltungstechnik vertieft hat und dem ich wesentliche Beiträge zur Stabilität der vorliegenden Schaltungslösung verdanke. Außerdem bedanke ich mich bei Herrn Dr. F. Herzel, Frau Dr. H. Erzgräber sowie allen andern Mitarbeitern der Abteilung Circuit Design und des IHP Frankfurt (Oder) für die hervorragende jahrelange Zusammenarbeit.

Auch bei Herrn Prof. Dr. Falter und seinen Mitarbeitern möchte ich mich recht herzlich für die Zusammenarbeit bedanken.

Berlin, Dezember 2001

M. D. Pierschel

10.0 Abkürzungen

- | | | |
|----|------------------------|--|
| 1 | BLUETOOTH | - ein Mobilfunkstandard für kurze Übertragungsstrecken bis ca. 10m |
| 2 | C | - Kapazität |
| 3 | CLK | - Systemtakt |
| 4 | CML | - eng. current mode logic, dt. Logikfamilie mit (nahezu) konstanten Strömen arbeitet |
| 5 | CMOS | - eng. complementary metal oxide semiconductor, eine Halbleitertechnologie und Bauelementegruppe |
| 6 | CP | - eng. charge pump, dt. Ladungspumpe |
| 7 | C_{par} | - parasitäre Kapazität |
| 8 | CPU | - eng. central processing unit, dt. Mikrorechner |
| 9 | DC | - eng. direct current, dt. Gleichstrom |
| 10 | DCFL | - eng. direct coupled FET logic, dt. direkt gekoppelte FET Logik |
| 11 | DECT | - ein Mobilfunkstandard, eng. digital european cordless telephone |
| 12 | D-FF | - eng. delay flip-flop, dt. Verzögerungs Flip-Flop |
| 13 | D-Latch | - Latch eng. eigentlich Riegel in der Bedeutung von 'eingerastet', Schaltung die zwei definierte stabile Zustände ermöglicht |
| 14 | DIV | - Frequenzteiler, eng. divide by number |
| 15 | ECL | - eng. emitter coupled logic, dt. emittergekoppelte Logik |
| 16 | FET | - eng. field effect transistor, dt. Feldeffekttransistor |
| 17 | FFT | - eng. fast fourier transformation, dt. schnelle Fouriertransformation |
| 18 | Eingangspad | - dt. Eingangsbondfeld |
| 19 | FOM | - eng. figure of merit, dt. Berechnungsvorschrift für den Benchmarktest |
| 20 | f_{VCO} | - Oszillationsfrequenz |
| 21 | GaAs | - Galliumarsenid, ein Halbleitersubstratmaterial und die zugehörige Technologiebezeichnung |
| 22 | g_m | - Steilheit eines Transistors im Kleinsignalersatzschaltbild |
| 23 | G_{LPF} | - eng. transfer function of the low pass filter, dt. Übertragungsfunktion des Tiefpassfilters |

24	GND	- eng. ground, dt. Masse
25	HBT	- eng. hetero bipolar transistor, dt. Bipolartransistor mit Heteroübergängen
26	HF	- dt. Hochfrequenz, eng. RF (radio frequency)
27	IF	- eng. intermediate frequency, dt. Zwischenfrequenz
28	K_{PD}	- eng. phase detector gain, dt. Konstante die die lineare Empfindlichkeit des Phasendetektors beschreibt
29	K_{vco}	- eng. oscillator gain, dt. Konstante die den linearen Frequenzhub eines Spannungsgesteuerten Oszillators beschreibt
30	L	- Induktivität
31	LC	- Schaltung mit Induktivitäten und Kapazitäten, i.a. ein oder mehrere Schwingkreise
32	LP	- eng. low pass, dt. Tiefpass
33	LPF	- eng. low pass filter, dt. Tiefpassfilter
34	m	- Teilerfaktor
35	MOS	- eng. metal oxide semiconductor, dt. Metal-Oxid-Halbleiterstruktur, auch als Technologiebezeichnung üblich
36	N	- Teilerfaktor, i.a. eine ganze natürliche Zahl
37	OFDM	- eng. orthogonal frequency division multiplexing, dt. orthogonales Frequenzmultiplexverfahren, ein digitales Mobilfunkübertragungsverfahren
38	OSZI	- Oszilloskop
39	pad	- dt. Bondfeld
40	P	- eng. program counter, dt. Programmzähler, teilweise wird damit auch der Teilerfaktor dieses Zählers bezeichnet
41	PFD	- eng. phase frequency detector, dt. Phasen-Frequenz Vergleicher
42	PLL	- eng. phase locked loop, dt. Phasenregelkreis oder Phasenregelschleife
43	PRE	- eng. prescaler, dt. Vorteiler
44	Q	- Ausgang einer Schaltung
45	Q_{in}	- Eingangsladung, gemeint ist die Ladung, die zusätzlich auf einen Schaltungsknoten gebracht wird

46	QN	- negierter Ausgang einer Schaltung
47	\overline{Q}	- negierter Ausgang einer Schaltung
48	R	- Widerstand
49	S	- eng. swallow counter, dt. Schluckzähler, teilweise wird damit auch der Teilerfaktor dieses Zählers bezeichnet
50	single ended	- dt. einfaches Signal gegen Massepotential im Gegensatz zu differentiellen Signalen
51	St	- Steuereingang
52	T	- Transistor
53	temp	- Temperatur
54	U_{in}	- Eingangsspannung
55	U_{out}	- Ausgangsspannung
56	U_{PD}	- Ausgangssignal des Phasendetektors
57	VCO	- eng. voltage controlled oscillator, dt. spannungsgesteuerter Oszillator
58	VDD	- Betriebsspannung
59	Vref	- Referenzgleichspannung
60	X_{ref}	- Kristallreferenzfrequenz, wird i.a. mit Schwingquarzen erzeugt
61	τ	- Zeitkonstante
62	Φ_{in}	- Eingangsphase
63	Φ_{out}	- Ausgangsphase

11.0 Literatur

- [1] B. Razavi, „RF Microelectronics“, Prentice Hall PTR, ISBN 0-13-887571-5
- [2] Takada, T. et al., „1 GHz 5 mA 128/129 GaAs Prescaler IC“, Electronic Letters, vol 21, no 17, pp. 731-732, Aug., 1985
- [3] Maemura, K. et al., „A 1GHz-5mA/5V Dual Modulus GaAs Prescaler IC“, IEEE Proc. of IEDM 1985, pp. 94-97
- [4] Chantepie, B. et al., „Packaged 7mW, 1.2GHz Dynamic 60/61 GaAs Prescaler“, Electronics Letters, vol 22, no 7, pp. 355-356, March 1986
- [5] Sito, S. et al., „A High Speed and Low-Voltage PLL Frequency Synthesizer LSI using Bi-CMOS Technology“, IEICE Japan Tech. Rep. , VOL ICD88-69, pp. 43-47, 1988
- [6] Pohjonen, H. and Ronkainen, H., „A1 GHz CMOS Prescaler for RF Synthesizers“, ISCAS 1988, pp 377-380
- [7] Maemura, K. and Shimura, T., „A 1-GHz Band Low-Power Dissipation GaAs Prescaler IC“, Electronics and Communication in Japan, part 2, vol 71, no 7, pp. 1-9, 1988
- [8] Borrás, J. A., „GaAs Phase Noise Characteristics in High Frequency Synthesizer Prescalers“, IEEE GaAs IC Symposium 1988, pp. 285-286
- [9] Parker, J.F. and Ray, D., „A1.6 GHz CMOS PLL with on Chip Loop Filter“, IEEE J. Solid State Circuits, vol 33, pp. 337-343, March, 1988
- [10] Kane, M. G., „A 1.5 GHz Programmable Divide-by-N GaAs Counter“, IEEE J. Solid State Circuits, vol 23, no 5, pp. 480-484, April, 1988
- [11] Cong, H.-I. et al., „Multigigahertz CMOS Dual-Modulus Prescaler IC“, IEEE J. Solid State Circuits, vol 23, no 5, pp. 1189-1194, Oct., 1988
- [12] Kamgar, A. et al., „Ultra-High Speed CMOS Circuits in Thin SIMOX Films“, IEEE IEDM 1989, pp 829-832
- [13] Wada, M. et al., „12 GHz GaAs J-FET 256/258 Dual-Modulus Prescaler IC“, IEEE GaAs IC Symposium 1989, pp. 109-112
- [14] Naber, J.F. et al., „A 3.0-GHz Low-Power Multi-Modulus Prescaler“, IEEE 1990, pp. 1242-1245
- [15] Sheng, N.H. et al., „A High Speed Multi-Modulus HBT Prescaler“, IEEE GaAs IC Symposium 1990, pp. 37-40
- [16] Singh, H.P. et al., „GaAs Prescalers and Counters for Fast-Settling Frequency Synthesizers“, IEEE J. Solid State Circuits, vol 25, pp. 239-245, Feb., 1990
- [17] Kado, K., „3.2 GHz 0.2 mW Gate CMOS 1/8 Dynamic Frequency Divider“, Electron. Lett. 1990, vol 26, no 20, pp.1684-1685

- [18] Miller, B. and Conley, R.J., „A Multiple Modular Fractional Divider“, IEEE Trans. on INSTRUMENTATION and Measurement, vol 40, no 3, pp. 578-583, June 1991
- [19] Pasternak, J.H. and Salama, C.A.T., „Design of Submicrometer CMOS Differential Pass-Transistor Logic Circuits“, IEEE JSSC, vol 26, no 9, pp. 1249-1258, Sep. 1991
- [20] Yamauchi, Y. et al., „A 15-GHz Monolithic Two-Modulus Prescaler“, IEEE J. Solid State Circuits, vol 26, no 11, pp. 1632-1636, Nov., 1991
- [21] Huehne, K. et al., „A Single Chip, 1.2 GHz PLL Frequency Synthesizer using Reduced Capacitance, Dual Gate BiCMOS Technology“, Proc. of CICC 1992, pp. 24.3.1-24.3.5
- [22] Kado, Y., „A 1GHz-0.9mA/1V CMOS/SIMOX div128/129 Dual Modulus Prescaler using A Newly Developed Counter“, Symposium on VLSI Circuits 1992, pp. 44-45
- [23] Shimizu, S. et al., „A Stacked DCFL Structure Applied to a Prescaler IC and Investigations for ASICs“, GaAs IC Symposium 1992, pp. 109-112
- [24] Mizuno, M. et al., „A 3mW 1.0GHz Silicon ECL Dual-Modulus Prescaler IC“, IEEE ISSCC 1992, pp. 90-91
- [25] Choy, C.S. et al., „A BiCMOS Programmable Frequency Divider“, IEEE T. CS-II, vol 39, pp. 147-154, March, 1992
- [26] Hirakata, N. et al., „3 V-Operation GaAs Prescaler IC with Power Saving Function“, IEICE Trans. Electron, vol E75-C, no 10, pp. 1115-1120, Oct., 1992
- [27] Kajiwarra, A. and Nakagawa, M., „A New PLL Frequency Synthesizer with High Switching Speed“, IEEE Trans. on Vehicular Technol. vol 41, no 4, pp. 407-413, Nov., 1992
- [28] Hafizi, M. et al., „39.5-GHz Static Frequency Divider Implemented in AlInAs/GaInAs HBT Technology“, IEEE Electron Device Letters, vol 13, no 12, pp. 612-614, Dec., 1992
- [29] Buchwald, A.W. et al., „A 6 GHz Integrated Phase-Locked Loop using AlGaAs/GaAs Heterojunction bipolar Transistors“, IEEE J. Solid State Circuits, vol 27, pp. 1763-1774, Dec., 1992
- [30] Rogenmoser, R. et al., „1.16 GHz Dual-Modulus 1.2mW CMOS Prescaler“, IEEE CICC 1993, pp. 27.6.1-27.6.4
- [31] Seneff, T et al., „A Sub-1 mA 1.5 GHz Silicon Bipolar Dual Modulus Prescaler“, IEEE Bip. Circ. and Technol. Meeting 1993, pp. 240-243
- [32] Kado, Y. et al., „A 1-GHz/0.9mW CMOS/SIMOX Divide-by-128/129 Dual-Modulus Prescaler Using a Divide-by-2/3 Synchronous Counter“, IEEE J. Solid State Circuits, vol 28, no 4, pp. 513-517, April, 1993
- [33] Yuan, J.-R. and Svensson, C., „Fast CMOS Nonbinary Divider and Counter“, Electronic Letters vol 29, no 13, pp. 1222-1223, June, 1993

- [34] Kado, Y. et al., „Enhanced Performance of multi GHz PLL LSIs using sub 1/4-Micron Gate Ultra Thin Film CMOS/SIMOX Technology with Synchrotron X-Ray Lithography“, IEEE IEDM 1993, pp. 243-245
- [35] Lassen, P.S. et al., „Ultralow-Power GaAs MESFET MSI Circuits Using Two-Phase Dynamic FET Logic“, IEEE J. Solid State Circuits, vol 28, no 10, pp. 1038-1045, Oct., 1993
- [36] Shimizu, S. et al., „GaAs MESFET Circuit Structures Based on Virtual Ground Concept for High-Performance ASICs“, IEICE Trans. Electron, vol E76-C, no 12, pp. 1835-1841, Dec., 1993
- [37] Soyuer, M. et al., „A Fully Monolithic 1.25 GHz CMOS Frequency Synthesizer“, Symp. on VLSI Circuits 1994, pp. 127-128
- [38] Razavi, B. et al., „A 3-GHz 25 mW CMOS Phase-Locked Loop“, Symp. on VLSI Circuits 1994, pp. 131-132
- [39] Razavi, B. et al., „A 13.4-GHz CMOS Frequency Divider“, IEEE ISSCC 1994, pp. 176-177
- [40] Razavi, B. and Sung, J., „A 6GHz 60 mW BiCMOS Phase-Locked-Loop with 2V Supply“, IEEE ISSCC 1994, pp. 114-115
- [41] Nakasha, Y. et al., „A 0.7mW/2-GHz Dual Modulus Prescaler IC“, IEEE CICC 1994, pp. 391-394
- [42] Rogenmoser, R. et al., „1.75 GHz Asynchronous and 1.4 GHz Dual-Modulus 1.2 μ m CMOS Prescalers“, IEEE CICC 1994, pp. 387-390
- [43] Thamsirianunt, M. and Kwasniewski, T.A., „A 1.2 μ m CMOS Implementation of a Low-Power 900 MHz Mobile radio Frequency Synthesizer“, IEEE CICC 1994, pp. 383-386
- [44] Tsuji, T. and Ichioka, T., „A Low Power Dissipation GaAs DCFL Dual Modulus Prescaler“, OKI Technical Review 149, vol 60, pp. 33-38, April, 1994
- [45] Suehiro, H. et al., „A 3.6 GHz Dual Modulus Prescaler IC using Optimal Pseudomorphic HEMT Structure on Si Substrates“, IEEE IEDM 1994, pp. 903-906
- [46] M. Okamoto et al., „10 GHz Si Bipolar Static Prescaler“, NEC, Vol. 47 No. 12/1994, pp. 78-81, Dec. 1994
- [47] Larsson, P., „A Wide Range Programmable High-Speed CMOS Frequency Divider“, IEEE Proc. ISCS 1995, pp.195-198
- [48] Wu, J.C. and Chang, H.H., „A 550 MHz 9.3mW CMOS Frequency Divider“, IEEE Proc. ISCS 1995, pp. 199-202
- [49] Craninckx, J. and Steyaert, M., „A CMOS 1.8 GHz Low-Phase-Noise Voltage-Controlled Oscillator with Prescaler“, IEEE ISSCC 1995, pp. 266-267
- [50] Foroudi, N. and Kwasniewski, T.A., „CMOS High Speed Dual-Modulus Frequency Dividers for RF Frequency Synthesizers“, IEEE J. Solid State Circuits, vol 30, pp. 93-100, Feb., 1995

- [51] Aytur, T. and Razavi, B., „A 2 GHz, 6 mW BiCMOS Frequency Synthesizer“, IEEE ISSCC 1995, pp. 264-265
- [52] Razavi, B. et al., „Design of High-Speed, Low-Power Frequency Dividers and Phase-Locked Loops in Deep Submicron CMOS“, IEEE J. Solid State Circuits, vol 30, no 2, pp. 101-109, Feb., 1995
- [53] Piazza, F. and Huang, Q., „A 3V/650MHz, 5V/910MHz CMOS Dual Modulus Prescaler for Low Power, Low Input-Amplitude Applications“, Proc. Eight Annual IEEE Int. ASIC Conf. and Exhibit, NY 1995, pp. 259-262
- [54] Adachi, N. et al., „PLL Frequency Synthesizer for TDMA Systems“, IEEE 1995, pp. 316-320
- [55] Efsthathiou et, K.A. al., „High Speed Frequency Synthesizer Based on PLL“, IEEE ICECS 1996, pp. 627-630
- [56] Huang, Q. and Rogenmoser, R., „Speed Optimization of Edge-Triggered CMOS Circuits for Gigahertz Single-Phase Clocks“, IEEE J. Solid State Circuits, vol 31, no 3, pp. 456-465, March, 1996
- [57] Felder, A. et al., „46 Gb/s DEMUX, 50Gb/s MUX, and 30 GHz Static Frequency Divider in Silicon Bipolar Technology“, IEEE J. Solid State Circuits, vol 31, no 4, pp. 481-486, April, 1996
- [58] Larsson, P., „High-Speed Architecture for a Programmable Frequency Divider and a Dual-Modulus Prescaler“, IEEE J. Solid State Circuits, vol 31, no 5, pp. 744-748, May, 1996
- [59] Chang, B. et al., „A 1.2 GHz CMOS Dual-Modulus Prescaler Using New Dynamic D-Type Flip-Flops“, IEEE J. Solid State Circuits, vol 31, no 5, pp. 749-752, May, 1996
- [60] Craninckx, J. and Steyaert, M.S.J., „A 1.75-GHz/3-V Dual-Modulus Divide-by-128/129 Prescaler in 0.7 μ m CMOS“, IEEE J. Solid State Circuits, vol 31, no 7, pp. 890-897, July, 1996
- [61] Piazza, F. and Huang, Q., „A Low Power CMOS Dual Modulus Prescaler for Frequency Synthesizers“, IEICE Trans. ELECTRON, vol E80-C, no 2, pp. 314-319, Feb., 1997
- [62] Sumi, Y. et al., „PLL frequency Synthesizer for Low Power Consumption“, IEICE Trans. Fundamentals, vol E80-A, no 3, pp. 461-465, March, 1997
- [63] Razavi, B., „A 2-GHz 1.6-mW Phase-Locked-Loop“, IEEE J. Solid State Circuits, vol 32, no 5, pp. 730-735, May, 1997
- [64] Wurzer, M. et al., „42 GHz Static Frequency Divider in a Si/SiGe Bipolar Technology“, IEEE ISSCC 1997
- [65] Kado, Y. et al., „An Ultralow Power CMOS/SIMOX Programmable Counter LSI“, IEEE J. Solid State Circuits, vol 32, no 10, pp. 1582-1587, Oct., 1997

- [66] Fenk, J., „Higly Integrated RF-IC's for GSM and DECT Systems - A Status Review“, IEEE Transactions on Microwave Theory and Techniques, vol. 45, no 12, pp. 2531-2539, Dec., 1997
- [67] Pai, C.S., et al., „A Case Study of RC Effects to Circuit Performance“, Proc. of the Intercommunication Technology Conference, San Francisco, June 1-3, 1998
- [68] Knapp, H. et al., „A 3.8-mW 2.5 GHz Dual-Modulus Prescaler in a 0.8 mm Silicon Bipolar Production Technology“, Proc. Int. Symposium on Low Power Electronics and Design, Monterey, Ca, August 10-12, pp. 20-23, 1998
- [69] Shahani, A.R. et al., „Low-Power Dividerless Frequency Synthesis Using Aperture Phase Detection“, IEEE J. Solid State Circuits, vol 33, no 12, pp. 2232-2239, Dec., 1998
- [70] Craninckx, J. and Steyaert, M., „A Fully Integrated CMOS DCS-1800 Frequency Synthesizer“, IEEE J. Solid State Circuits, vol 33, no 12, pp. 2054-2065, Dec., 1998
- [71] Soares, J. N. Jr and Van Noije, W. A. M., „A 1.6 GHz Dual Modulus Prescaler Using the Extended True-Single-Phase-Clock CMOS Circuit Technique (E-TSPC)“, IEEE J. Solid State Circuits, vol 34, no 1, pp. 97-102, Jan., 1999
- [72] V. Stojanovic and V. G. Oklobdzija, „Comparative Analysis of Master-Slave Latches and Flip-Flops for High-Performance and Low-Power Systems“, IEEE JSSC, Vol. 34, No. 4, pp. 536-548, April 1999
- [73] Klass, F. et al., „A new Family of Semidynamic and Dynamic Flip-Flops with Embedded Logic for High Performance Processors“, IEEE J. Solid State Circuits, vol 34, no 5, pp. 712-716, May, 1999
- [74] W.H. Chang, D.R. Pehlke and R. Yu, „A Low-Power and Low-Noise CMOS Prescaler for 900 MHz to 1.9 GHz Wireless Applications“, Proceedings of the IEEE CICC 1999, pp. 597-600, San Diego, CA, May 16-19 1999
- [75] A. Benachour, S.H.K. Embabi and A. Ali, „A 1.5 GHz, Sub-2mW CMOS Dual-Modulus Prescaler“, Proceedings of the IEEE CICC 1999, pp. 613-616, San Diego, CA, May 16-19 1999
- [76] D. Pfaff and Q. Huang, „A Quarter-Micron CMOS, 1 GHz VCO/Prescaler-Set For Very Low Power Applications“, Proceedings of the IEEE CICC 1999, pp. 649-652, San Diego, CA, May 16-19 1999
- [77] A. N. Hafez and M. I. Elmasry, „Fully Integrated Low Phase-Noise PLLs Using Closed-Loop Voltage-to-Frequency Converter Architectures“, Proceedings of the IEEE CICC 1999, pp. 653-656, San Diego, CA, May 16-19 1999
- [78] Chen, W.Z., and Wu, J.T., „A 2-V, 1,8 GHz BJT Phase-Locked Loop“, IEEE J. Solid State Circuits, vol 34, no 6, pp. 784-789, June, 1999
- [79] Dike, C. and Burton, E. T., „Miller and Noise Effects in a Synchronizing Flip-Flop“, IEEE J. Solid State Circuits, vol 34, no 6, pp. 849-855, June, 1999
- [80] Yan, H., et al., „A High-Speed CMOS Dual-Phase Dynamic-Pseudo NMOS ((DP)²) Latch and Its Application in a Dual-Modulus Prescaler“, IEEE J. Solid State Circuits, vol 34, no 10, pp. 1400-1404, Oct., 1999

- [81] „TH7002 - High Frequency Divider”, <http://www.thesys.de/assp/th7002.htm>
- [82] Rogenmoser, R, „A 2.97GHz Asynchronous Prescaler in 0.8 μm CMOS”, http://www.iis.ee.ethz.ch/research/1995/rev95-full/hsdad/roto_html/index.html
- [83] Rogenmoser, R, „Gigahertz Prescalers in 1-Micron CMOS”, <http://www.iis.ee.ethz.ch/research/1994/ana/rogen1/index.html>
- [84] Piazza, F., „Low Power 64/65 Dual Modulus ESCL Prescaler for Frequency Synthesizers”, <http://www.iis.ee.ethz.ch/research/1994/ana/piazz1/index.html>
- [85] Nakajima, H. et al., „80 GHz 4:1 frequency divider IC using non self-aligned InP/InGaAs heterostructure bipolar transistors”, *Electronic Letters*, vol 36, no 1, pp. 34-35, Jan., 2000
- [86] Strollo, A.G.M. and Caro, D.De, „Low power flip-flop with clock gating on master and slave latches”, *Electronic Letters*, vol 36, no 4, pp. 294-295, Feb., 2000
- [87] M. Pierschel, „Störsignalunterdrückung in PLL Schaltungen“, IHP report, 1999
- [88] M. Pierschel, „Statischer Frequenzteiler mit umschaltbarem Teilerverhältnis“, Patentschrift DE-OS 198 28 925.1, Juli, 1998
- [89] M. Pierschel und H. Gustat, „Statischer Frequenzteiler mit umschaltbarem Teilerverhältnis“, Patentschrift DE 100 13 633.8, March, 2000
- [90] Tiebout, M. J., „A 480 μW 2GHz Ultra Low Power Dual-Modulus Prescaler in 0.25 μm Standard CMOS“, To be published at the 2000 IEEE International Symposium on Circuits and Systems, May 2000, Geneva
- [91] Wei, L. C. and Long, A, „Synchronous Counters - Final Report”, http://www-dse.doc.ic.ac.uk/~nd/surprise_96/journal/vol4/cwl3/report.html
- [92] Pierschel, M, Winkler, W. and Rossberg, M., „Circuits for RF applications Based on a SiGe HBT Technology Module”, *Proc. of the International Conference on Electronics, Circuits and Systems ICECS '98*, Lisboa, Sept. 7-10, 1998
- [93] Winkler, W. et al., „Wireless Communication Integrated Circuits with CMOS-compatible SiGe HBT Technology Modules”, *Custom Integrated Circuits Conference '99*, San Diego, May 1999
- [94] Pierschel, M., „High Speed CMOS Prescaler Circuits”, *International Workshop Circuit Design*, Chorin, Juli 3-7, 1998
- [95] Pierschel, M., „CMOS Oscillator Circuits”, *Invited Talk at TU Berlin*, May 1997
- [96] Herzel, F., et al., „Phase Noise in a Differential CMOS Voltage-Controlled Oscillator for RF Applications” *Transactions on Circuits and Systems*,
- [97] Erzgräber, H.B., et al., „Improved Performance of integrated Spiral Inductors Using a Minimum AC Difference Voltage Principle”,
- [98] Ehwald, K.E., et al., „Modular Integration of High-Performance SiGe:C HBTs in a Deep Submicron, Epi-Free CMOS Process”, *Proc. of the IEDM 1999*

- [99] Bergmann, H., „Popow funkte vor 100 Jahren die Worte 'Heinrich Hertz'“, Zeitschrift Ingenieur der Kommunikationstechnik, Verlag technik GmbH, vol 46, p. 65, Berlin, 1996
- [100] Juchems, C., „Störungsfreier Empfang durch digitales Multiträger-Verfahren“, Zeitschrift Elektronik, pp. 66-74, März, 2000
- [101] Integrated Circuit Engineering Corporation, „The Cellular Telephone Market“, Report
- [102] Pierschel, M., „CMOS RF Circuits“, IHP Annual Report 1999
- [103] SIP-PLL400/800, „Low Jitter Programmable Phase-Locked Loop“, Datasheet, www.slicex.com, Jan., 2000
- [104] Egan, W. F., „Phase-Lock Basics“, A Wiley-Interscience publication, ISBN 0-471-24261-6, 1998
- [105] Razavi, B., „Monolithic Phase-Locked Loops and Clock Recovery Circuits“, IEEE Press Marketing, Piscataway, NJ 08855-1331, ISBN 0-7803-1149-3, 1996
- [106] Bellaovar, A. and Elmasry, M. I., „BiCMOS Nonthreshold Logic for High-Speed Low-Power Applications“, IEEE J. Solid State Circuits, vol 26, no 8, pp. 1165-1167, Aug., 1991
- [107] Kuroda, T., „BiCMOS - Where is the Beef“, Panel Discussion, Symposium on VLSI Circuits, Kyoto, Japan, May 19-21, 1993
- [108] Oklobdzija, V. G., „An ECL Gate with Improved Speed and Low Power in a BiCMOS Process“, IEEE J. Solid State Circuits, vol 31, no 1, pp. 77-83, Jan., 1996
- [109] Declerck, G., „Trends in VLSI Technologies“, Electronics Laboratories Advanced Engineering Course on CMOS & BiCMOS IC Design '96, Printed Course Material, Lausanne, Switzerland, Aug. 19 - Sept. 6, 1996
- [110] McDermott, M., „Interconnect and design opportunities for the 1 GHz microprocessor“, Conference Proceedings ULSI XIII, Materials Research Society, pp. 3-11, 1998
- [111] International Technology Roadmap for Semiconductors, „Overall technology Characteristics & Glossary“, <http://www.semichips.org>, p. 12, Edition 1999
- [112] Gardner, F. M., „Charge-Pump Phase-Lock Loops“, IEEE Trans. Commun., vol. COM-28, pp. 1849-1858, Nov. 1980
- [113] Kühn, E., und Schmied, H., „Integrierte Schaltkreise“, Verlag Technik 1975
- [114] Rhode, U.L., „Digital PLL Frequency Synthesis Theory and Design“, New Jersey: Prentice Hall, Inc., 1983

12.0 Anhang A, Test PLL Design

Unter Verwendung des in Kapitel 7.0 vorgestellten Dual-Modulus Frequenzteilers wurden drei PLL Designs mit geringer Gesamtleistungsaufnahme erstellt. Diese Schaltungen enthalten keine niederfrequenten programmierbaren Frequenzteiler, wie sie für die Kanalwahl in Frequenzsynthesizern erforderlich sind (vgl. Bild 24, Bild 27). Die niederfrequenten programmierbaren Frequenzteiler beeinflussen jedoch die Gesamtverlustleistung nur unwesentlich ($<5\%$). Diese Schaltungen sind daher entsprechend dem Blockschaltbild in Bild 13 aufgebaut und können zwei einzelne Frequenzen synthetisieren.

12.1 Simulationsergebnisse

Für diese Simulationsrechnungen wurde die 350 nm digital CMOS Technologie von Infineon genutzt. In dieser Technologie wurden bereits derartige neue Vorteiler mit 2.5 GHz Arbeitsfrequenz und ca. 15 mW Gesamtleistungsaufnahme und einem Teilerfaktor von div128/129 realisiert und gemessen. Diese Chips besitzen allerdings noch nicht die zeitlich um eine halbe Eingangstaktperiode gestaffelte Umschaltung, wie sie in Kapitel 7.3 beschrieben ist.

Die Designs in den hier vorgestellten Schaltungen werden mit skalierten Parametern simuliert. Das bedeutet, das in der Simulation vier Mikrometer als kleinster Wert für eine Gatelänge auftreten darf, auf dem Chip jedoch 350 nm MOS Transistoren erzeugt werden. Die BSIB 3V3 Parameter für diesen Prozess verwenden zwar die sogenannten 'final' Parameter für die erzeugten 350 nm Strukturen, aber zwischen die Designschaltpläne und die Netzliste für die Simulation ist eine automatische Umrechnung geschaltet worden um den Auftretenden Faktor sowie eine additive Kantenverschiebung jeweils zu berücksichtigen.

Technologie:	C7NA, Infineon
Programm:	icfb.exe version 4.4.1 01/06/98 18:46 sub-version 4.4.1.100.47
Simulator:	spectreS
Transistoren:	ca. 270
Modell:	BSIM 3V3

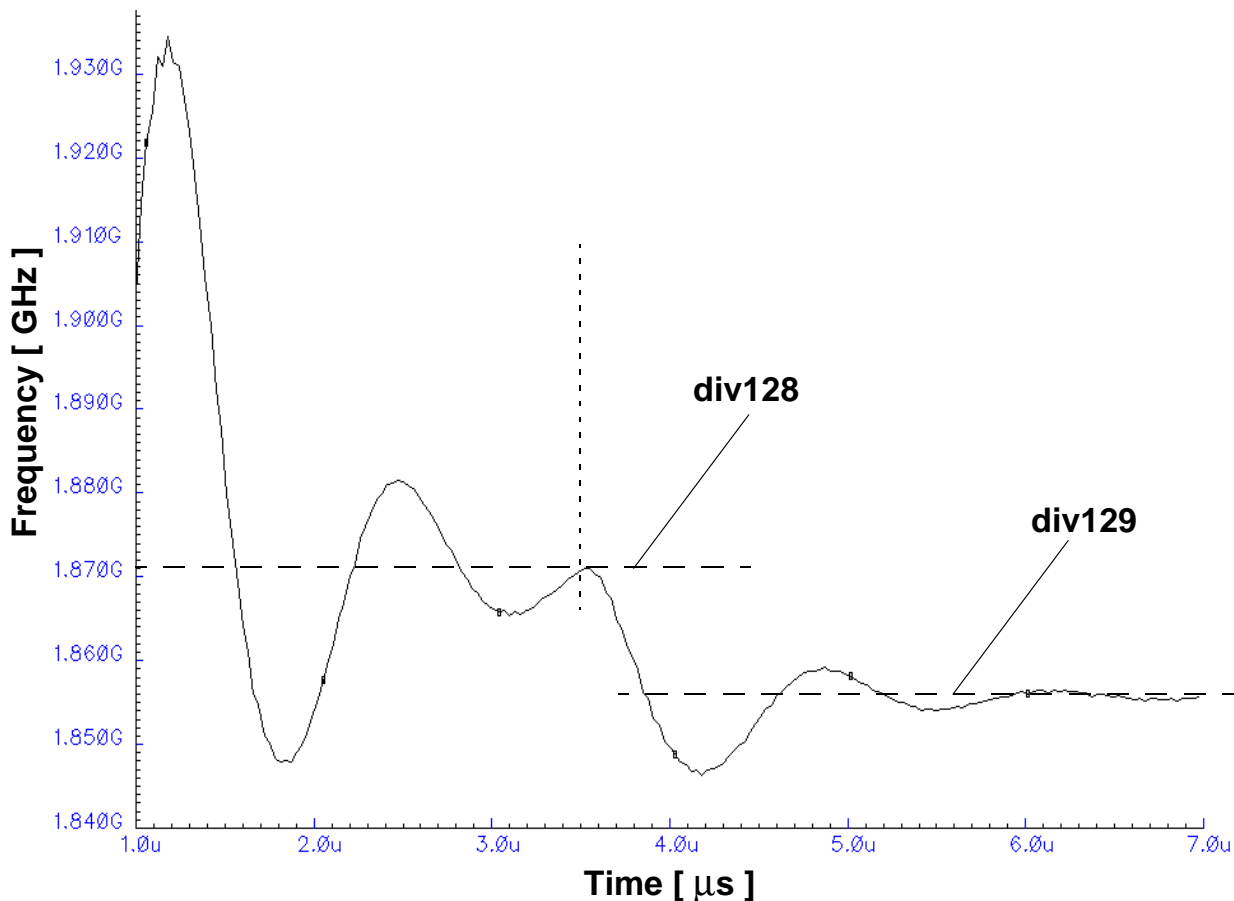


Bild 66: Ausgabefrequenz der PLL1 als Funktion der Zeit

Da die vollständige Simulation des Einschwingverhaltens eine sehr Zeitaufwendige Simulationsrechnung darstellt wurde hier bei 3.5 Mikrosekunden der Teilermode von div128 auf div129 am extern zugänglichen Mode Pin umgeschaltet. Die gesamte Simulationszeit beträgt ca. 50 Stunden auf einer SPARK ULTRA1 SUN Workstation. Diese Rechenzeit ist insbesondere deshalb derart lang, da in der Simulation gleichzeitig die hohen Frequenzen des VCO (bei ca. 2 GHz) und die Vorgänge in der Regelschleife (im Mikrosekundenbereich) erfasst werden müssen. Große Schaltungsteile sind über lange Zeiträume hinweg im wesentlichen nicht aktiv, werden jedoch bezüglich der Rechengenauigkeit genauso wie die analogen Hochfrequenzschaltungen behandelt. Einen Simulator, der die absolute und relative Genauigkeit bei mehreren gegebenen Schaltungsblöcken getrennt behandelt existiert zur Zeit noch nicht. Alternativ existieren Verfahren, die zunächst einen stabilen Arbeitspunkt z.B. eines Oszillators berechnen und dann eine Kleinsignalanalyse unter Berücksichtigung der eingeschwungenen und bekannten Periode der Schaltung durchführen. Da aber gerade dieser Einschwingvorgang einer PLL dem Design zugänglich sein soll, funktionieren derartige Ansätze hier auch nicht.

Ein wichtiger Fakt soll hier noch einmal verdeutlicht werden. Der PFD arbeitet bei der Kristallreferenzfrequenz X_{ref} . Eigentlich sollte man meinen, dass diese Schaltung nur für diese niedrige Frequenz ausgelegt werden muss. Aber, da die eigentliche Information, die der PFD auswertet nicht die Frequenz an sich sondern die Phasendifferenz zwischen Kristallreferenz und dem Ausgang des Frequenzteilers darstellt, sind im Bereich nahe dem eingeschwungenen Zustand durchaus Zeiten im Bereich von einigen Pikosekunden zu verarbeiten. Gewöhnlich existiert in einem Simulator eine adaptive Schrittweitensteuerung, welche bei genügend kleinem Gesamtfehler versucht die interne Schrittweite des Simulators zu vergrößern. Dabei kann es zu dem Fehler kommen, dass in einem sol-

chen Fall ein sehr schmaler Puls von beispielsweise 50 ps Pulsweite in der Simulation einfach ignoriert wird und völlig fehlerhafte Schaltvorgänge ausgelöst werden. Aus diesem Grunde muss diese Schrittweitensteuerung in der Regel durch die Vorgabe einer maximal zulässigen Schrittweite begrenzt werden. Damit können dann auch sehr schmale Pulse noch sicher verarbeitet werden, die Simulationszeit steigt jedoch erheblich an.

12.2 Schaltungsbeschreibung

Jede der drei hier beschriebenen Schaltungen beinhaltet eine komplette 1.9 GHz PLL mit VCO, Dual-Modulus Vorteiler, PFD, Schleifenfilter und HF Ausgangstreiber. Die Kristallreferenz am Eingang liegt bei ca. 14.5 MHz. Dieses Signal sollte ein digitales Signal mit low = 0V / high = 3.3V und geringem Phasenrauschen sein. Die interne Signalaufbereitung erfolgt mit zwei Invertern.

Der PFD ist mit flankengetriggerten D-FF aufgebaut [1]. Die Ladungspumpe ist bei allen Filtervarianten gleich und besteht jeweils aus zwei einfachen Schalttransistoren. Das Schleifenfilter wurde variiert:

1. Filter mit großer Zeitkonstante > 2 Mikrosekunden
2. Filter mit kleiner Zeitkonstante ~ 1 Mikrosekunde
3. Filter mit kleiner Zeitkonstante ~ 1 Mikrosekunde + Störsignalunterdrückung (vgl. Abs. 4.5)

Als Oszillator ist der Standardoszillator (vgl. Bild 74) mit einer Zielfrequenz zwischen 1.8 GHz und 2 GHz integriert. Die Auskoppelung des Oszillatorsignals erfolgt kapazitiv. Damit kann die DC Eingangsspannung des Vorteilers und des Ausgangstreibers getrennt eingestellt werden.

Der Vorteiler ist in der Version für die Technologie C7NA von Infineon und BSIM 3V3 Parametern vom August 1998 verwendet und nicht weiter verändert worden. Zusätzlich ist noch ein Sourcefolger integriert worden, um die Schleifenfiltersignale als niederohmigen Monitorausgang bereitzustellen. Außerdem sind drei Monitorausgänge für die digitalen low-speed Signale X_{ref} , PRE_{out} , $Test_{out}$ vorhanden.

12.3 Anschlüsse

Hier sind die Pinbelegungen und die zu erwartenden Betriebsgleichspannungen sowie HF Pegel verzeichnet.

TABELLE 1. Pinbelegung der PLL Testschaltungen

Nr.	Symbol	Kommentar	Wert(e)
1	VDD!	supply voltage	3.3V
2	VDD1!	supply voltage for monitor out ect.	3.3V
3	VDD2!	supply voltage for RF output buffer	3.3V
4	Xref	crystal reference input	0 / 3.3V
5	PD	power down control input	0 / 3.3V
6	mode	prescaler mode control input	0 / 3.3V
7	Ioscill	oscillator current control input	typ. 2V
8	Vprein	prescaler DC input voltage control	typ 1.3V
9	Vrefbuff	output buffer current control	typ 2V
10	Q	RF output (0 deg.)	-3 dB
11	QQ	RF output (180 deg.)	-3 dB
12	XrefOut	crystal reference monitor output	0 / 3.3V
13	TestOut	XrefOut & PreOut monitor output	0 / 3.3V
14	PreOut	prescaler monitor output	0 / 3.3V
15	DCmonitor	loop filter DC output monitor	---
16	VSS	GND	0V

12.4 CADENCE Schaltpläne Test PLL

Die Stimulusschaltung beinhaltet alle DC und HF Quellen, die Ersatzschaltungen für die verschiedenen Bondpads (DC, HF) sowie die auf der Messleiterplatte angeordneten zusätzlichen Koppelkapazitäten und 50 Ohm HF Abschlusswiderstände der Messgeräte

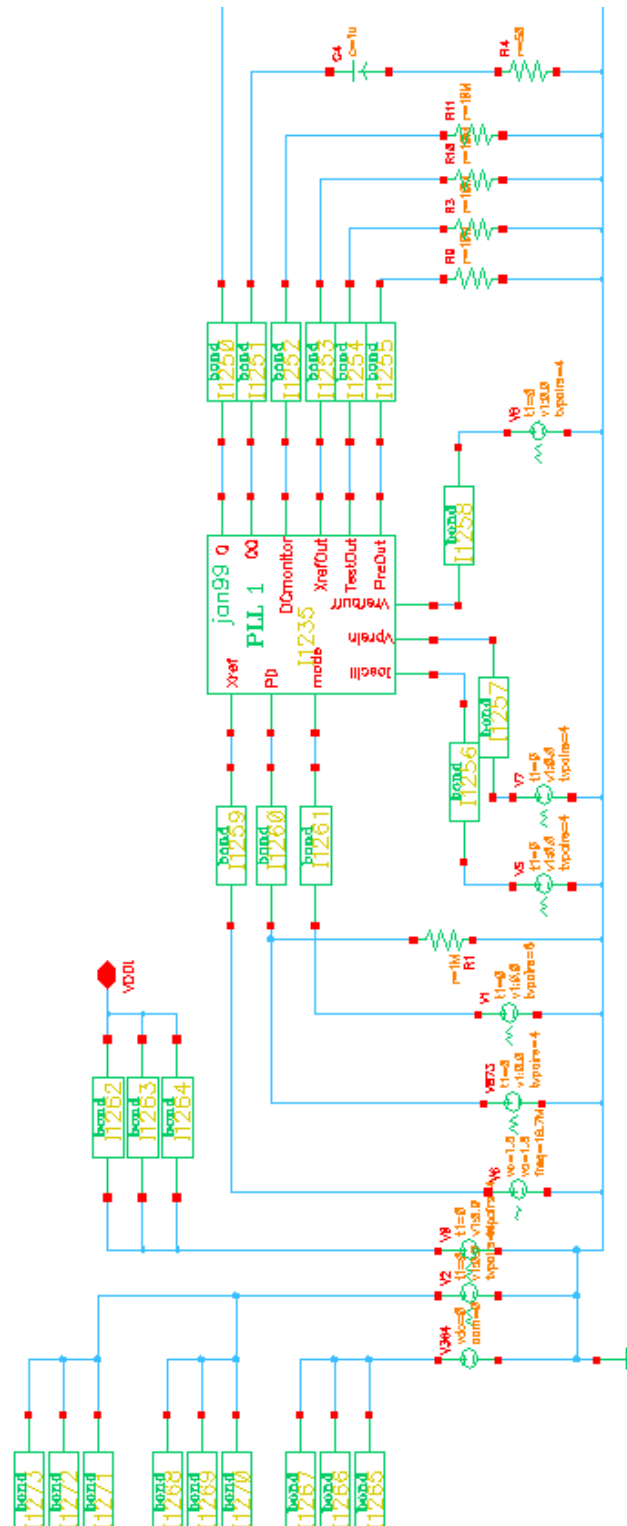


Bild 67: Test PLL Stimulusschaltung

Da diese Schaltung einen integrierten Oszillator besitzt, werden alle DC Quellen mit 0 V Spannung

initialisiert und nach 200 Pikosekunden innerhalb einer Zeit von 1 Nanosekunde linear auf die erforderlichen Spannungen gebracht.

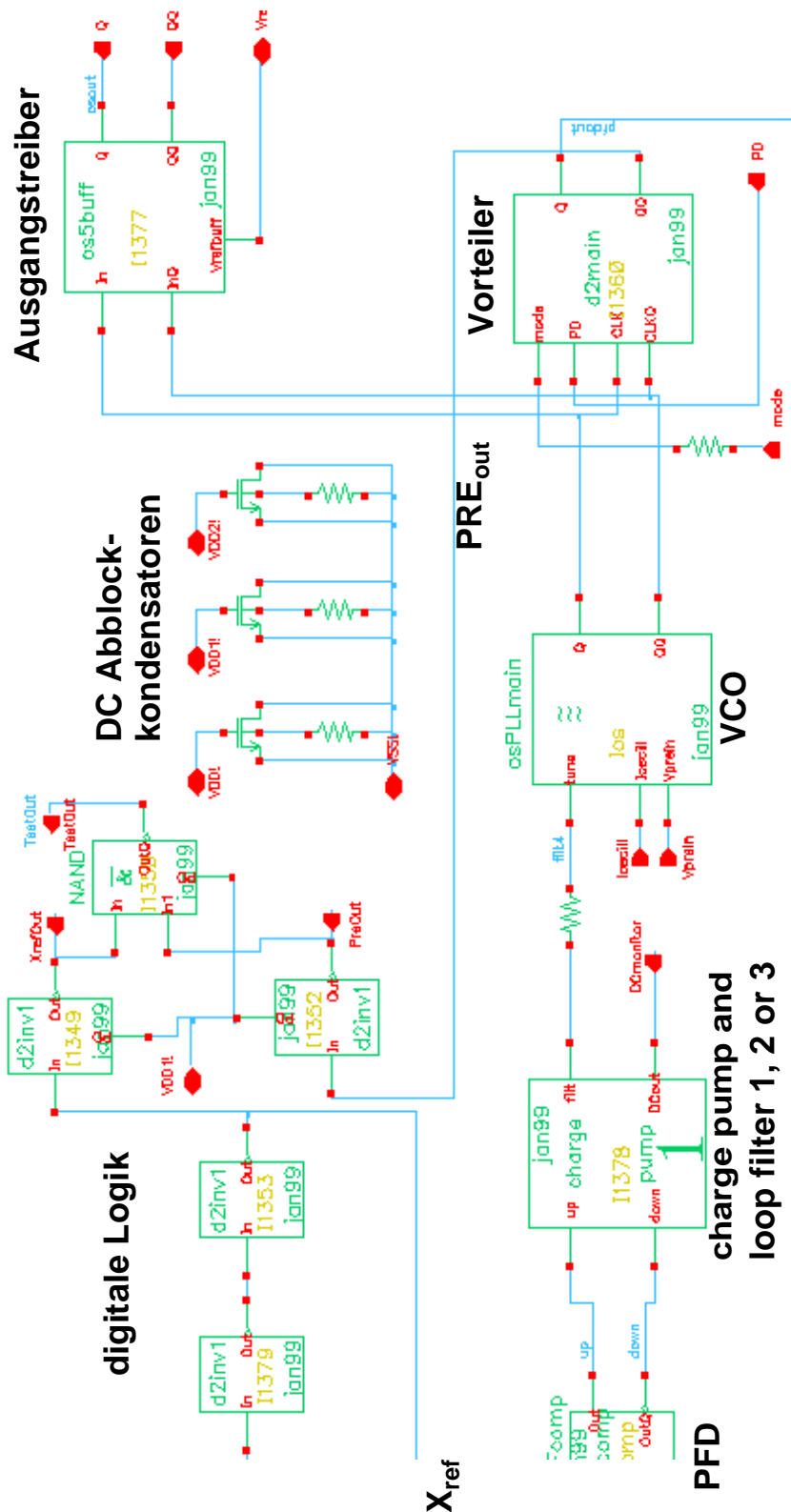


Bild 68: Übersichtsschaltung, alle integrierte Blöcke

Da die Signale am Ausgang sowohl des Vorteilers PRE_{out} als auch das X_{ref} Signal jeweils ein Tastverhältnis von 50% besitzen, ist es erforderlich möglichst schmale Nadelimpulse von der interessierenden Schaltflanke abzuleiten, damit das Rücksetzen im PFD nicht durch ein statisches Signal an

PRE_{out} oder X_{ref} behindert wird. Diese Impulsformung erfolgt mit Hilfe eines NAND Gatters und dreier Inverter. Die rechte Seite in Bild 69 stellt ein bekanntes statisches RS Flip-Flop dar.

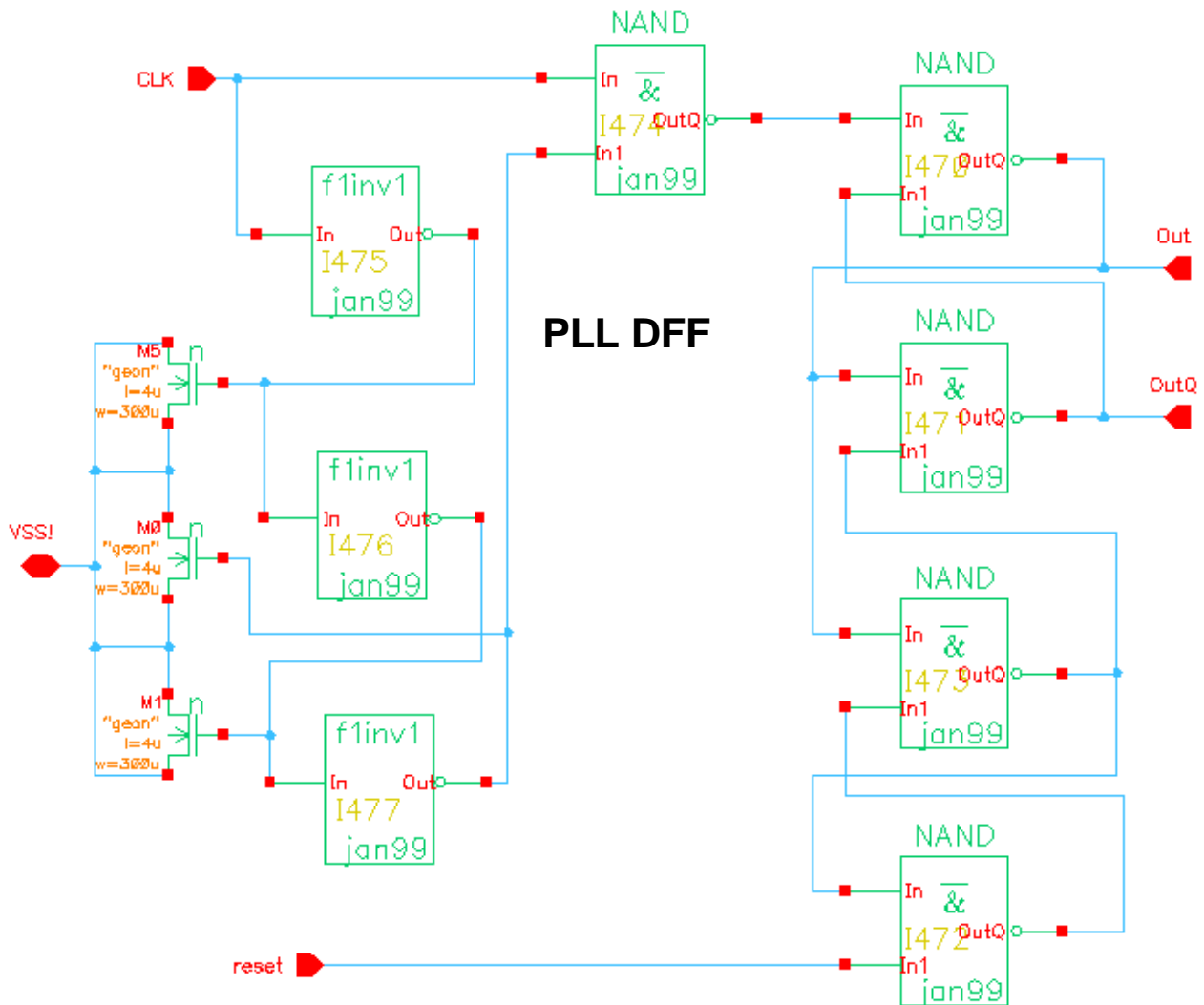


Bild 69: Einzelnes digitales D-FF mit Impulsformung

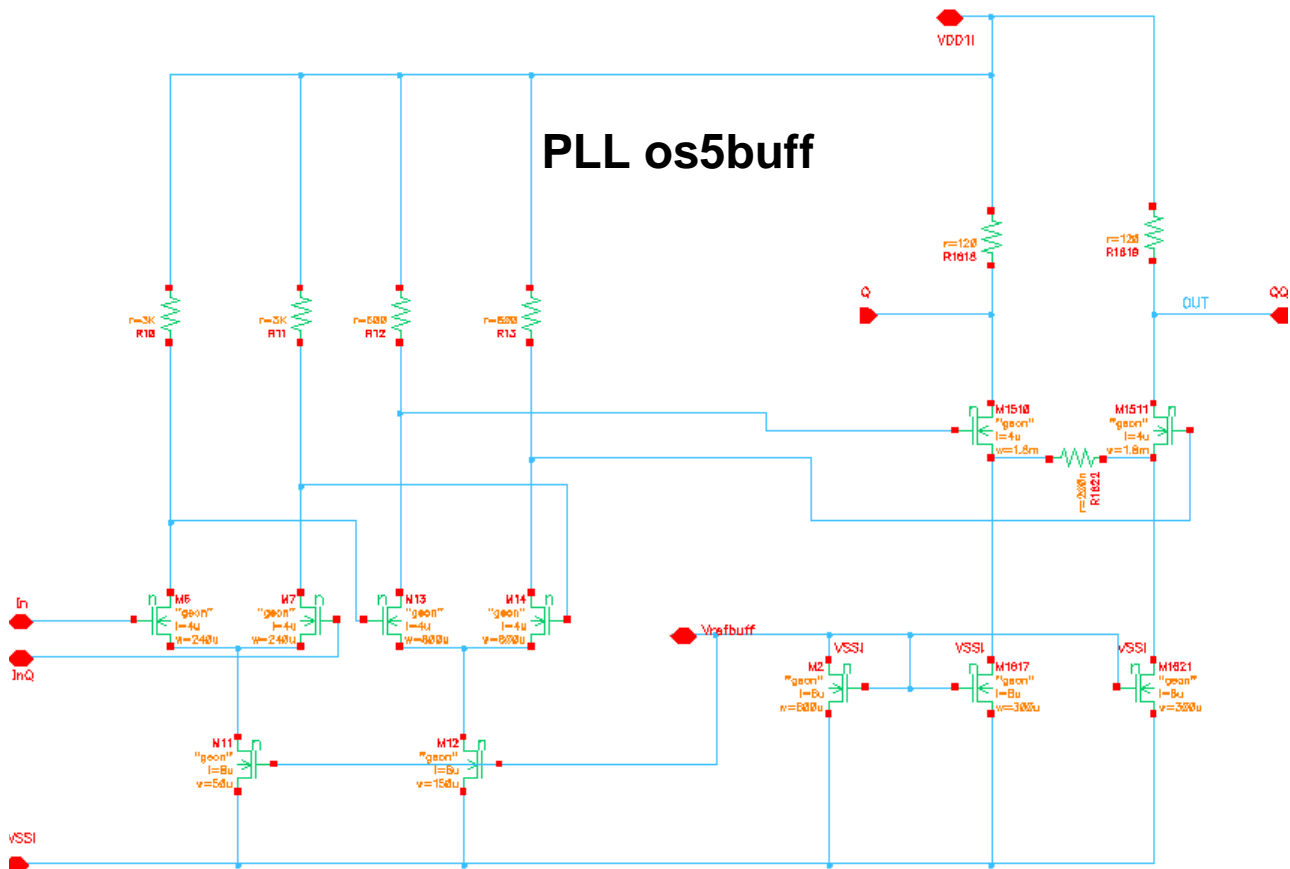


Bild 70: Ausgangstreiber

Der Ausgangstreiber ist hier einfach mit drei aufeinanderfolgenden Differenzverstärkern realisiert worden und bedarf sicher noch einer weiteren Optimierung.

Die PFD Schaltung wurde [1] entnommen. Zusätzlich sind zwei Inverter eingefügt worden, um einen ausreichend langen Rücksetzimpuls für die beiden D-FF zu generieren.

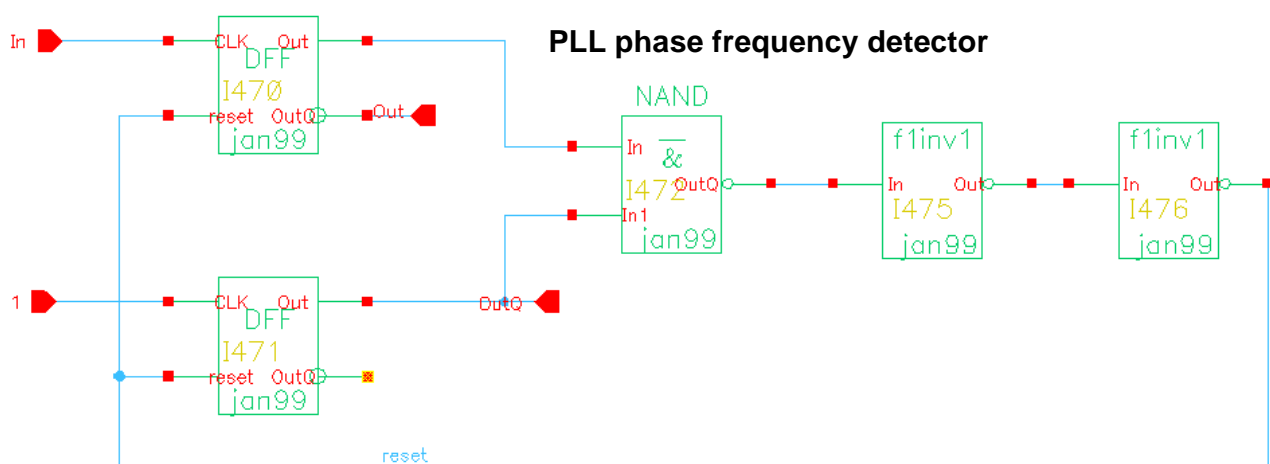


Bild 71: PFD Schaltung

Um generell einen 'power down' Mode (eng. power down, dt. Abschalten der Betriebsspannung für ausgewählte Schaltungsteile) zu implementieren besitzen alle digitalen Schaltungen einen Schalttransistor, der die Leistungsfähigkeit nicht stark beeinträchtigt, aber ein Abschalten ganzer Teile der Schaltung mit dem PD-Signal ermöglicht.

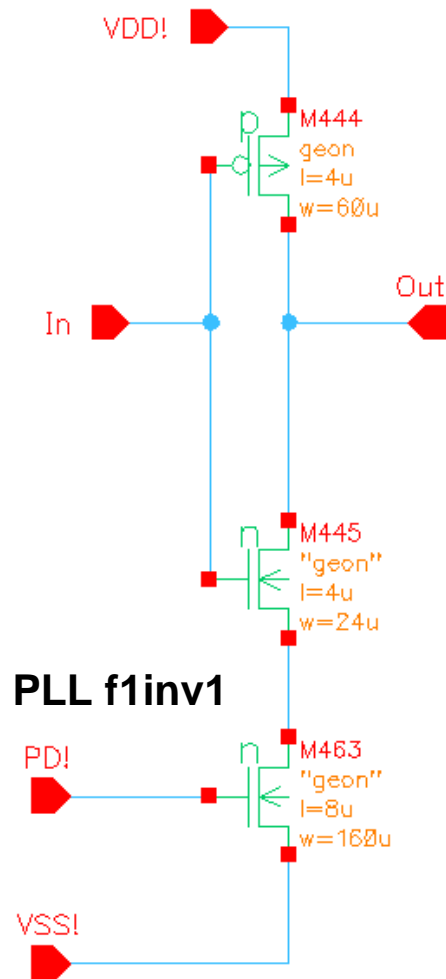


Bild 72: Einzelner digital Inverter

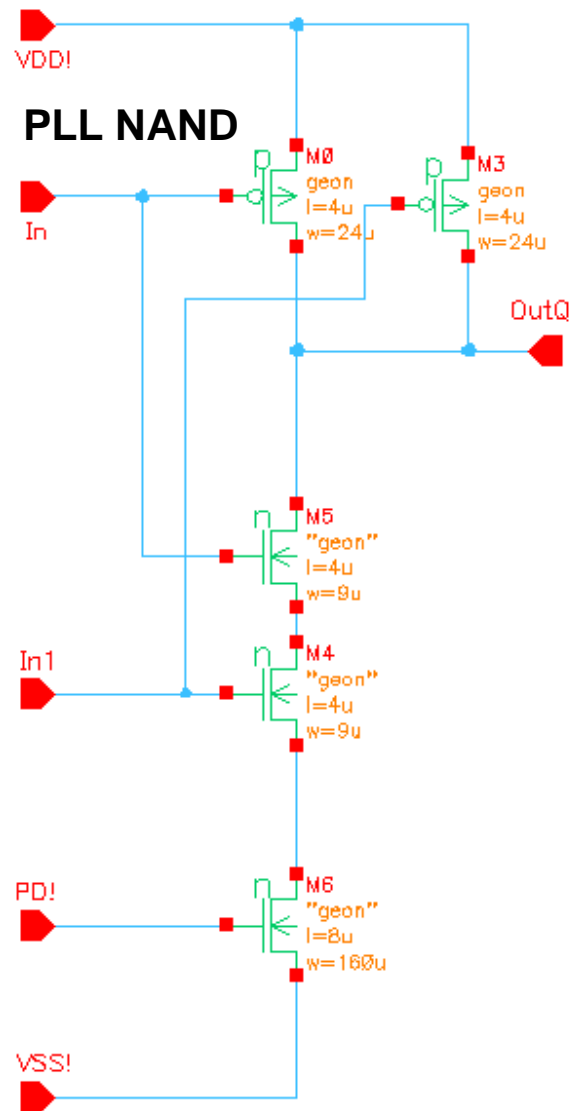


Bild 73: Einzelnes digital NAND Gatter

Auch der Oszillator ist eine bekannte Standardschaltung. Die Leistungsfähigkeit dieser Schaltung wird wesentlich durch das Design der integrierten Induktivitäten [97] bestimmt und soll hier nicht weiter erläutert werden. Wesentlich für die Funktion ist jedoch eine genaue Abschätzung sowohl der in der integrierten Induktivität als auch in den entdämpfenden und in den zur Abstimmung genutzten MOS Transistoren enthaltenen parasitären Kapazitäten und Verlustwiderstände. Die Kapazitäten können die gewünschte Schwingfrequenz empfindlich verschieben. Die Verlustwiderstände erfordern unter Umständen ein anderes Design für die entdämpfenden Transistoren, was wiederum zu Frequenzverschiebungen führt.

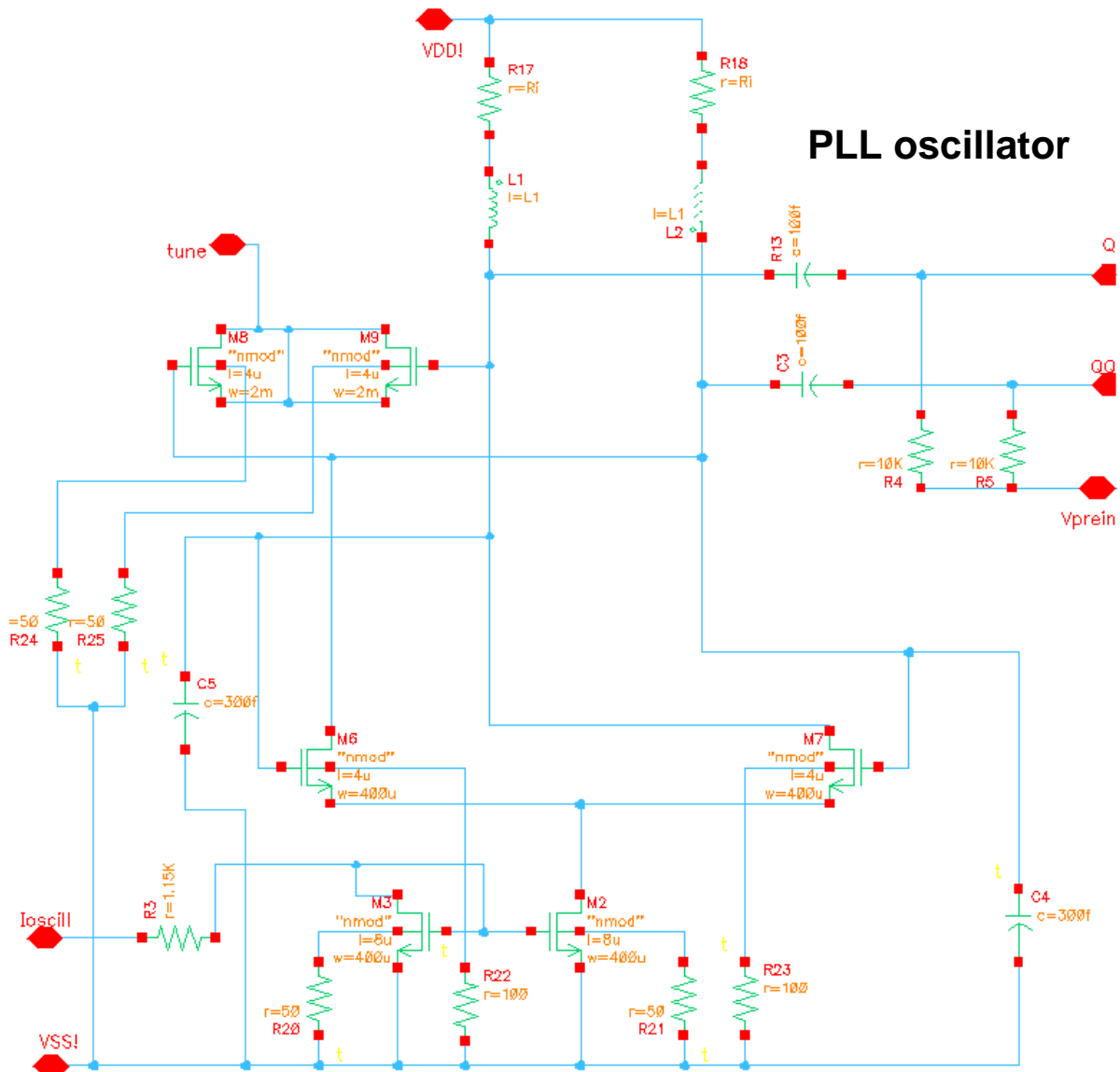


Bild 74: VCO der PLL Testschaltung

Die Ladungspumprtransistoren in dieser einfachen Schaltung (Bild 75) sind direkt an die Betriebsspannungen bzw. Masse geschaltet. In dieser Schaltung werden keine Kompensationstransistoren oder andere Maßnahmen zur Störsignalunterdrückung angewendet. Das Schleifenfilter wird mit zwei als Kapazität geschalteten MOS Transistoren und dem R242 als Verlustwiderstand gebildet. Der Transistor M4 und R45 sind als Sourcefolger mit integriert, um ein niederohmiges Monitorsignal der aktuellen Filterspannung an einem der externen Ausgänge zur Verfügung zu haben. Die Pumprtransistoren M0 und M1 erhalten mit $6\ \mu\text{m}$ (entspricht on chip ca. $525\ \text{nm}$) nicht die kürzest mögliche Kanallänge um zumindest die Andeutung eines Stromquellencharakters zu erhalten. Die Leitfähigkeit dieser Transistoren ist einer der Designparameter, mit dem die Schleifendynamik der Regelschleife verändert werden kann.

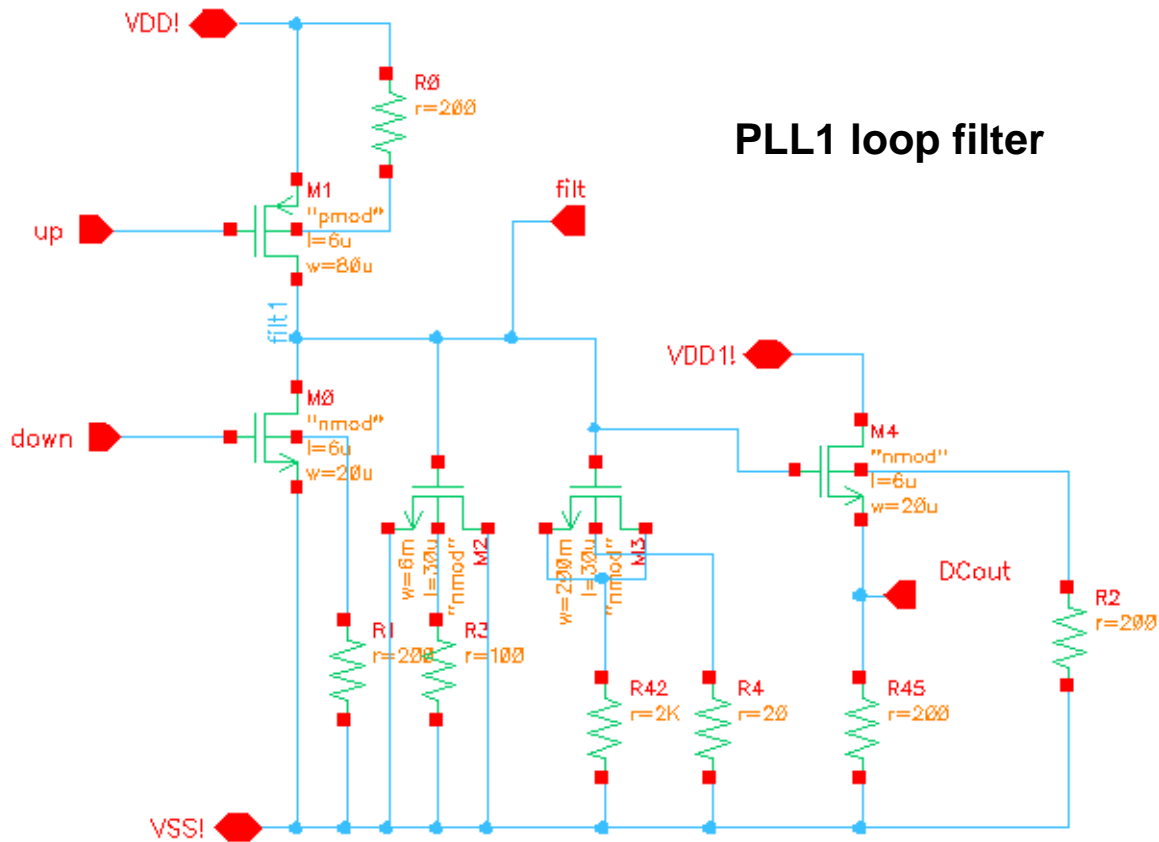


Bild 75: Ladungspumpe und Schleifenfilter der ersten PLL Testschaltung

Im zweiten verwendeten Schleifenfilter wurde die Filterkapazität (MOS Transistoren M2 und M3) deutlich verkleinert, so dass nur noch eine Zeitkonstante kleiner als 1 Mikrosekunde zu erwarten ist. Die gesamte Einschwingzeit sollte sich damit nicht ändern, da dieser Parameter nach [1] unabhängig von der Kapazität ist und nur vom bedämpfenden Widerstand R42 dominiert ist. Die Bandbreite der Regelschleife wird jedoch größer. Die Bandbreite der Regelschleife beeinflusst die Frequenz, bis zu der Phasenrauschanteile des integrierten VCO von der PLL Regelschleife mit bedämpft werden [70]. Je größer die Bandbreite, um so kleiner kann der Gesamtphasenjitter am Ausgang gehalten werden. Der Gesamtphasenjitter ist ein integraler Wert über die frequenzabhängigen Phasenrauschbeiträge [96].

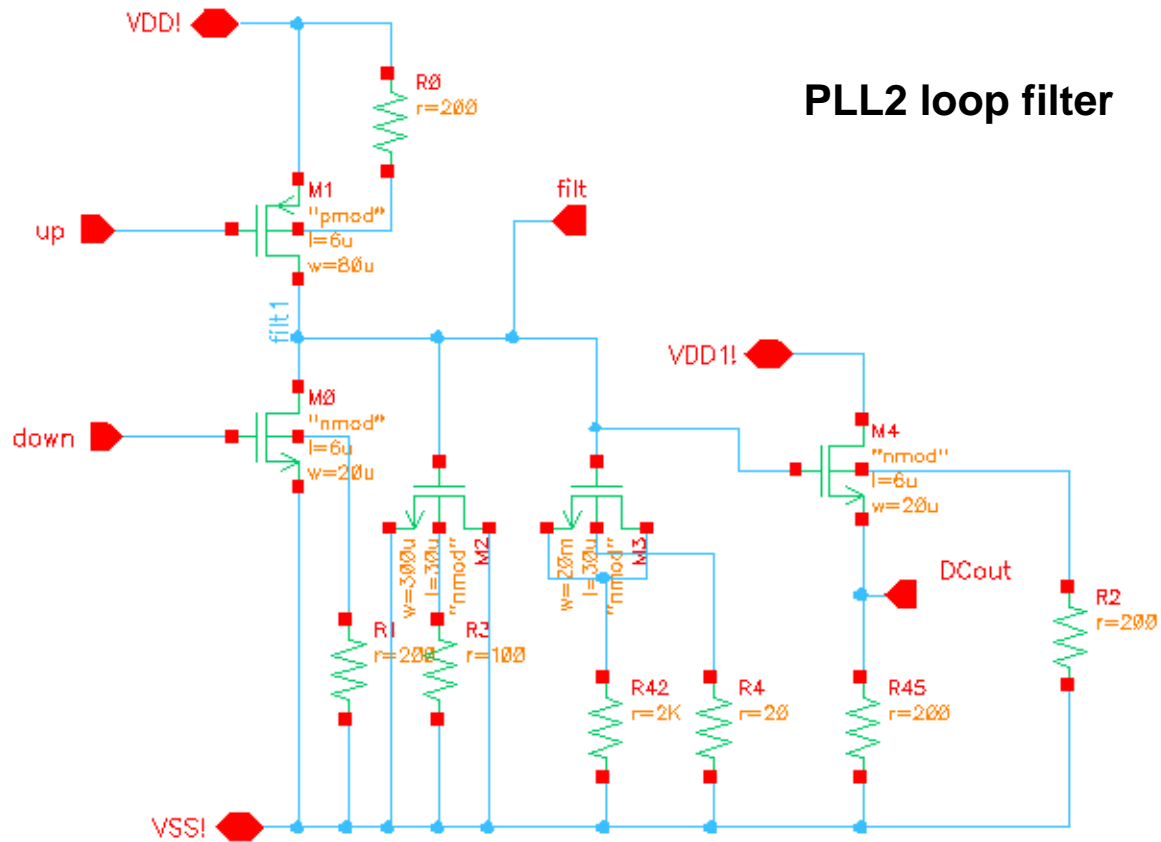


Bild 76: Ladungspumpe und Schleifenfilter der zweiten PLL Testschaltung

Die Funktion der in Bild 77 dargestellten Schaltung wird in Kapitel 4.5 ausführlich und mit den zugehörigen Signalen aus der Simulation beschrieben.

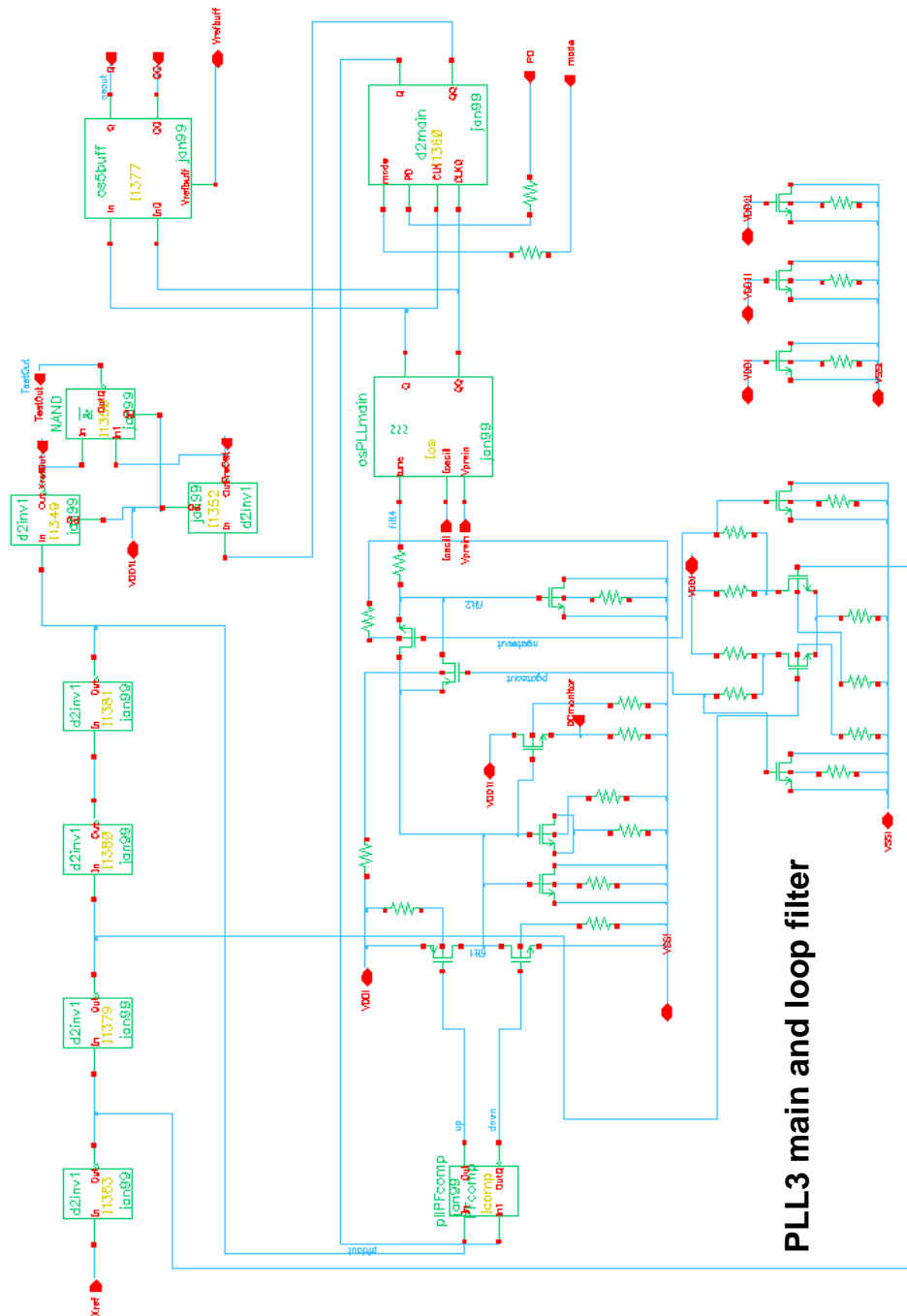


Bild 77: PLL3 Schaltung incl. Ladungspumpe und Schleifenfilter

Für alle hier vorgestellten PLL Schaltungen existieren zur Zeit noch keine Messwerte.

12.5 Der Vorteiler im Detail

12.5.1 Die Schaltpläne

Um den Vorteiler im detail zu simulieren ist die folgende Stimulusschaltung verwendet worden.

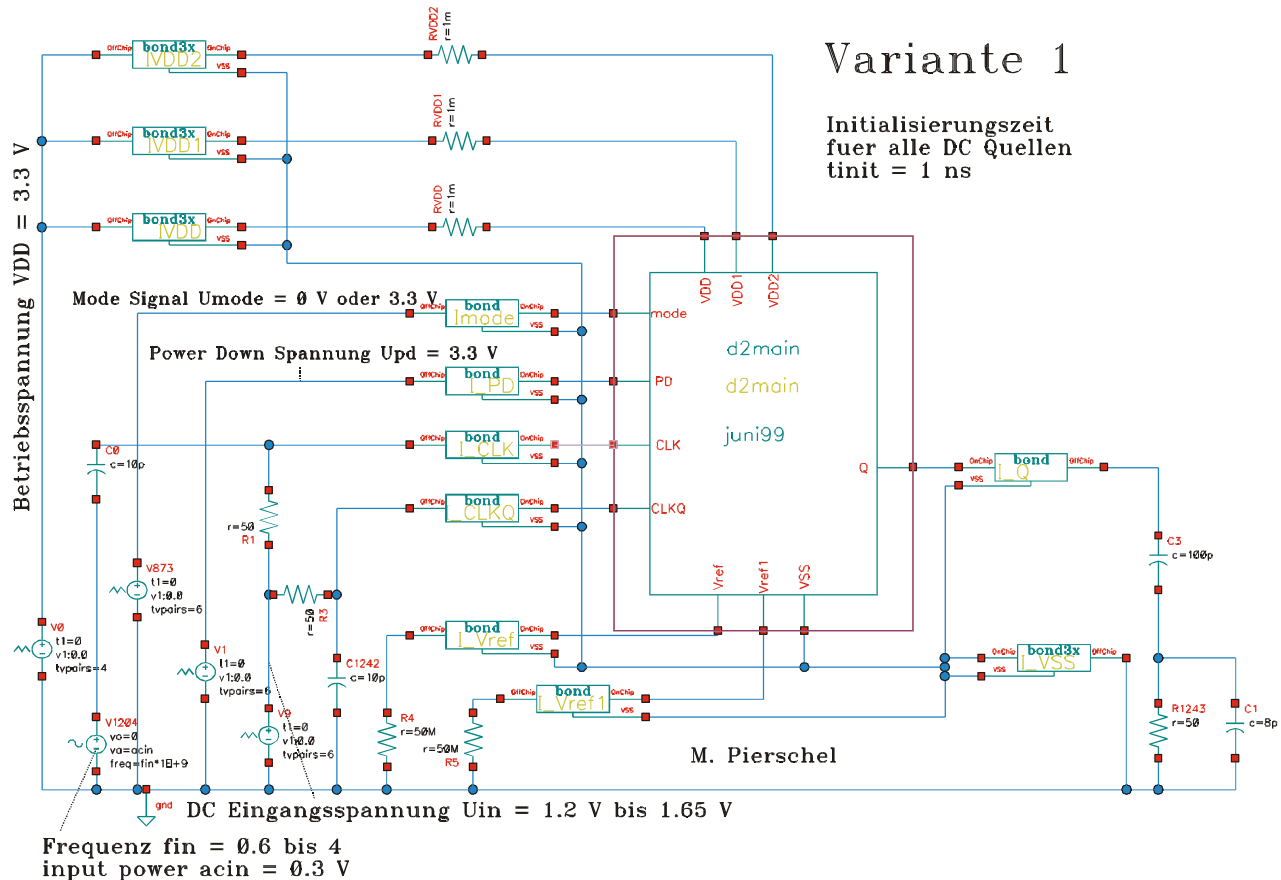


Bild 78: Stimulusschaltung für den Vorteiler

Diese Schaltung berücksichtigt ebenfalls die Bondpads. Der entsprechende Einfluss wird in den unten gezeigten Bildern der Signale dieser Simulation deutlich werden.

Die logische Struktur des Vorteilers wird in Bild 79 gezeigt.

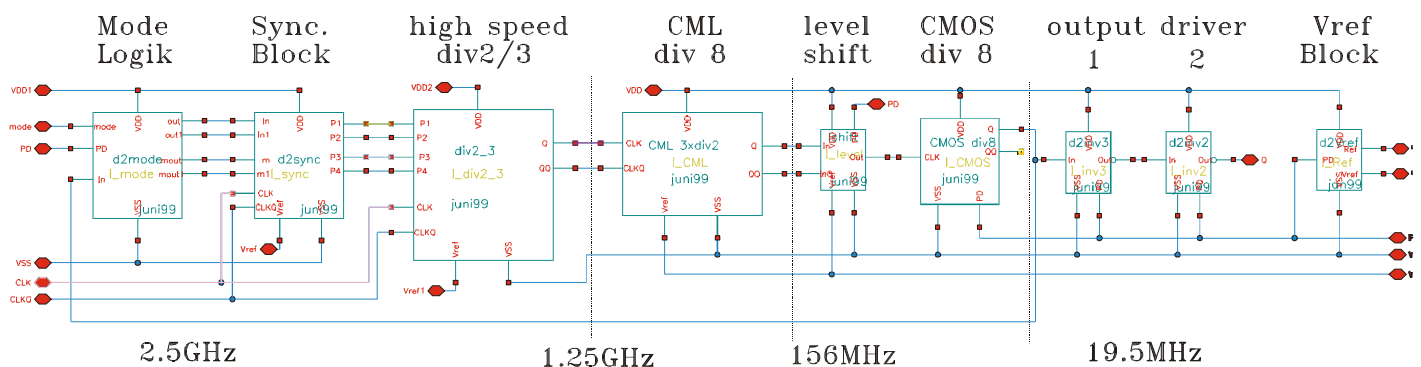


Bild 79: Logische Struktur des Vorteilers

Außerdem beinhaltet diese Zeichnung eine grobe Frequenzplanung der einzelnen Blöcke.

Mode Logik

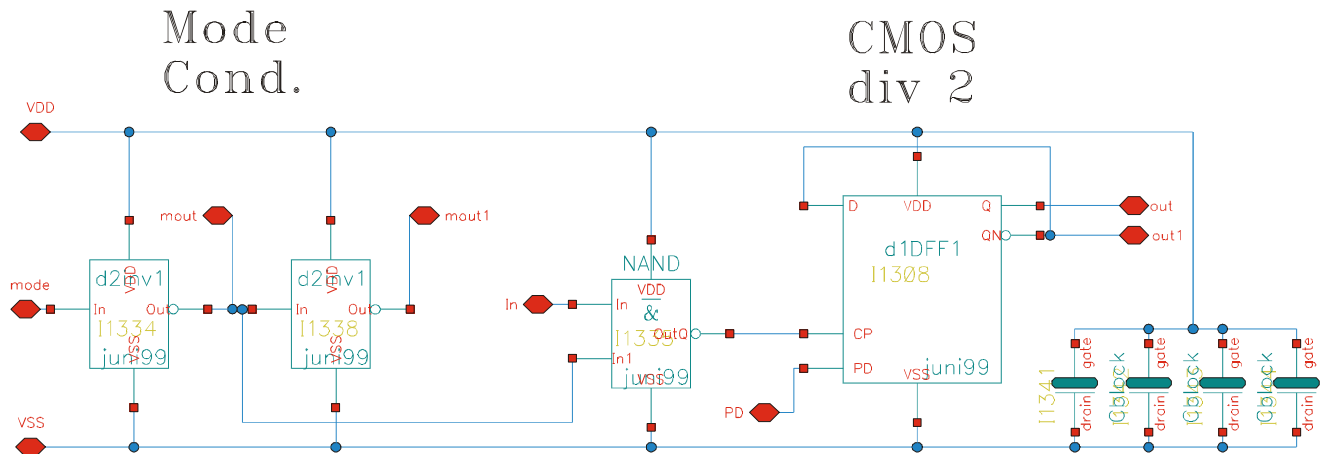


Bild 80: Die Mode Logik

Die Mode Logik empfängt das extern bereitgestellte Mode Signal und schaltet damit das zum Verlust einer einzelnen HF Eingangstaktperiode führende Rückkoppelungssignal durch, (div129), oder sperrt es, (div128, reiner Binärteilermodus). Da pro Ausgangstaktperiode nur genau eine Eingangstaktperiode verloren werden soll, wird das Signal nochmals mit einem Standard CMS Frequenzteiler FF geteilt (div256), bevor es an die Synchronkette weitergereicht wird.

Sync. Block

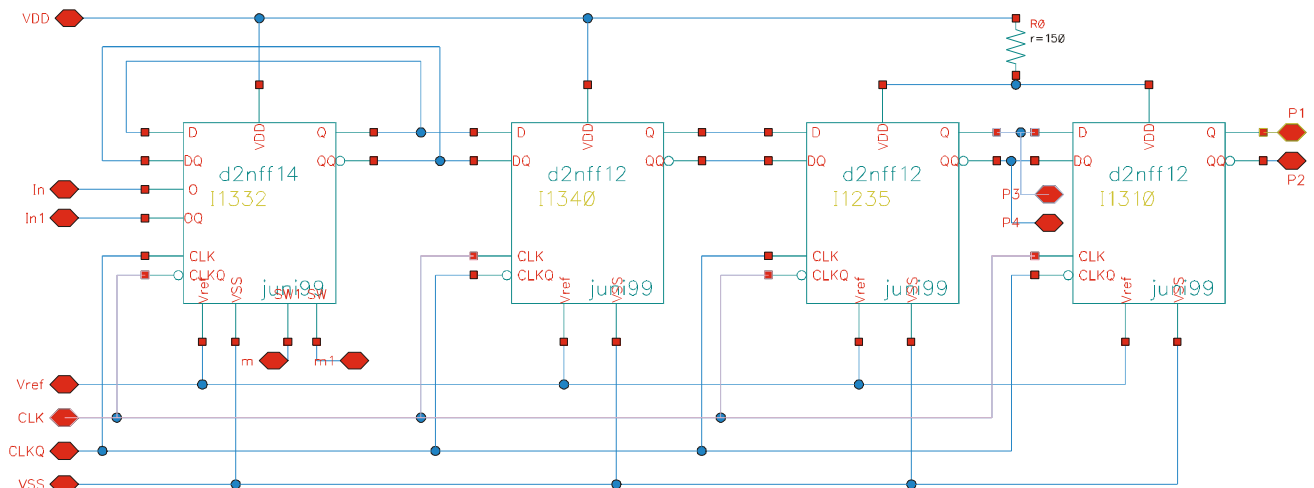


Bild 81: Der Synchronblock

Der Synchronblock sorgt für die Synchronisation des rückgekoppelten Signales mit der Phasenlage des HF Eingangstaktsignales. Außerdem werden die beiden um eine halbe Takteingangsperiode versetzten Umschaltsignale bereitgestellt sowie die erforderliche Flankensteilheit für ein schnelles Umschalten sichergestellt.

high speed div 2/3

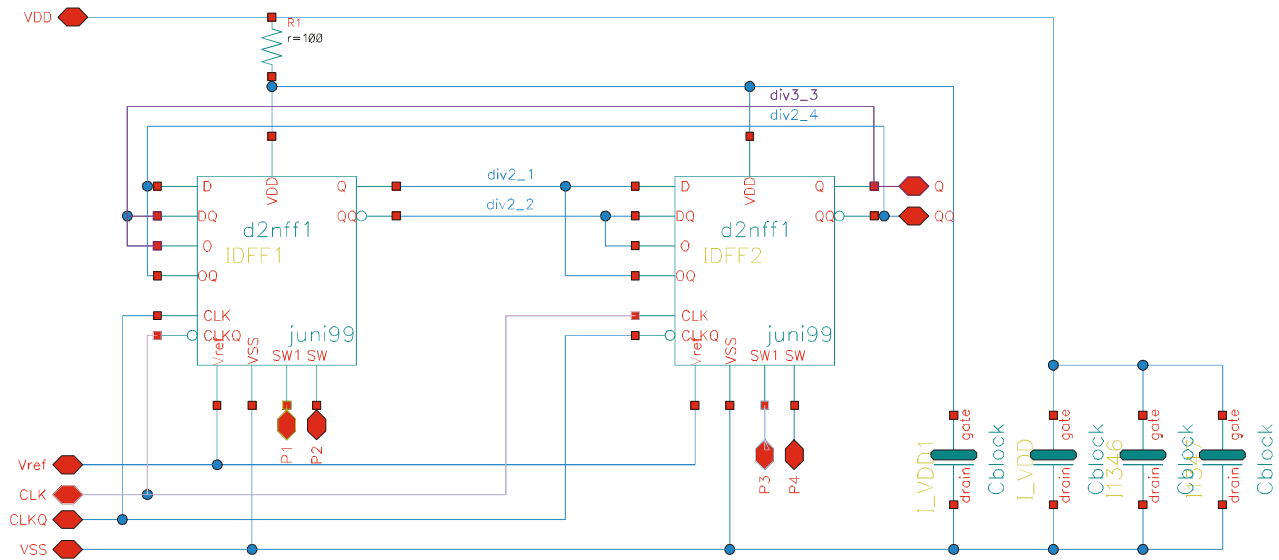


Bild 82: Der HF Teilerling div2/3

CML div 8

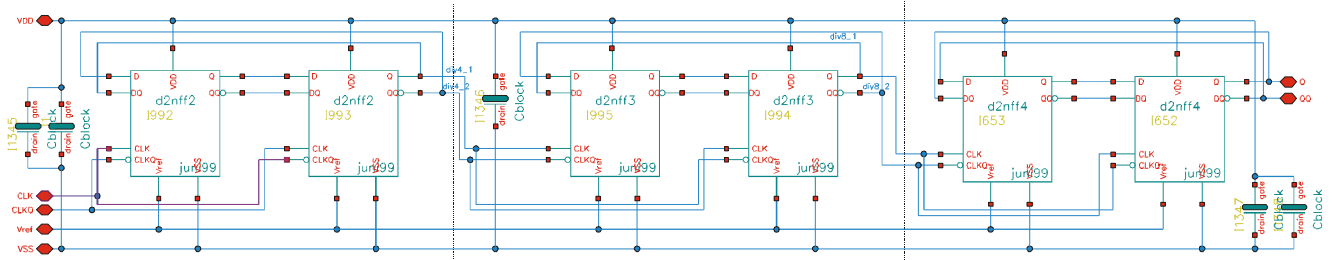


Bild 83: Der CML Teilerblock mit dem Teilerfaktor div8

level shift

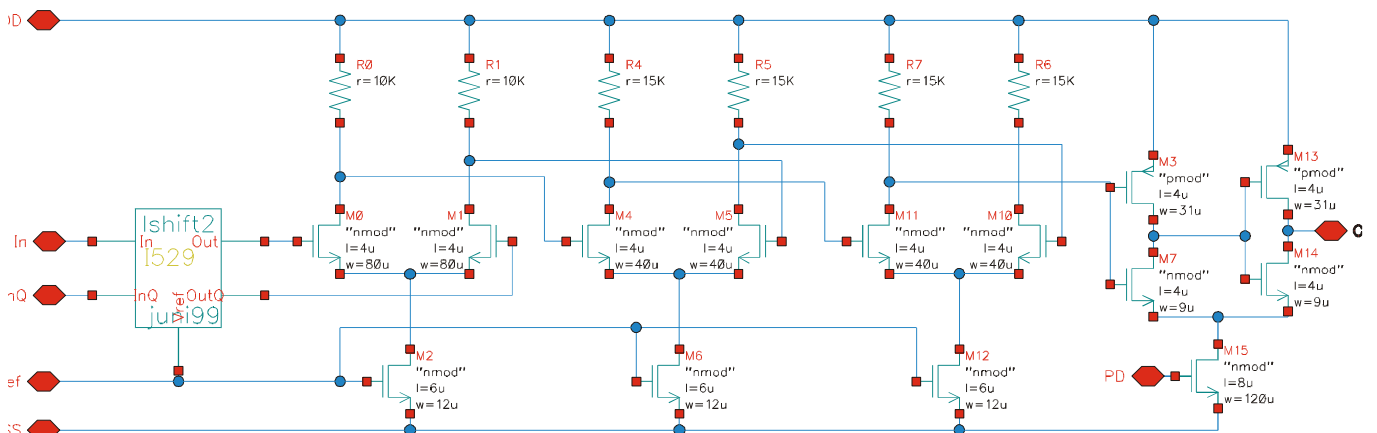


Bild 84: Der Pegelwandler CML in CMOS Pegel

CMOS div 8

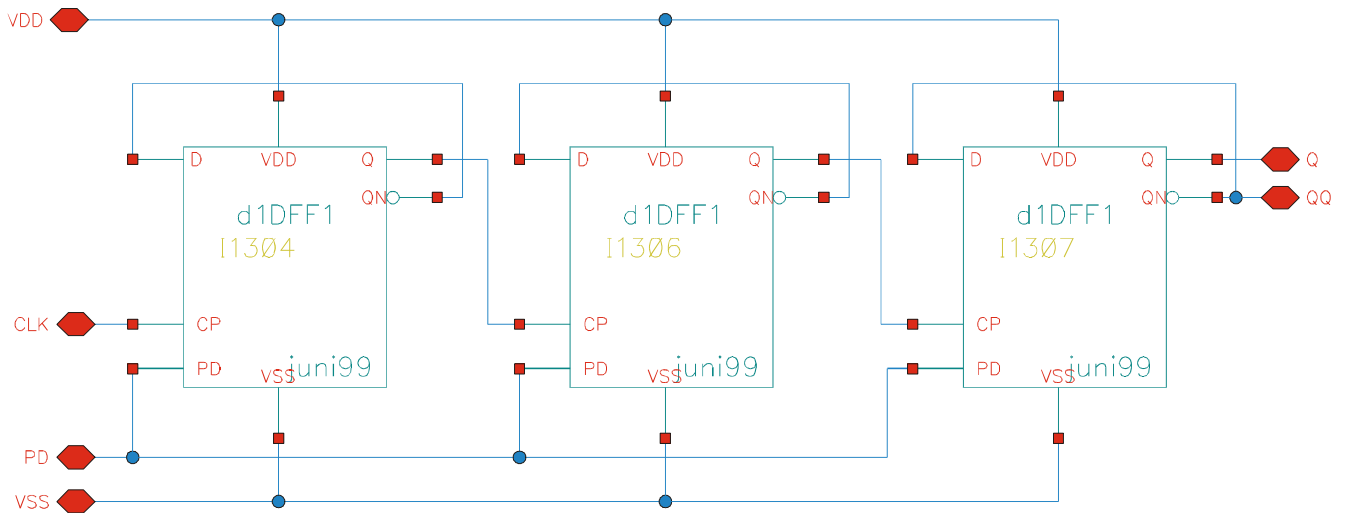


Bild 85: Der CMOS Teilerblock mit dem Teilerfaktor div8

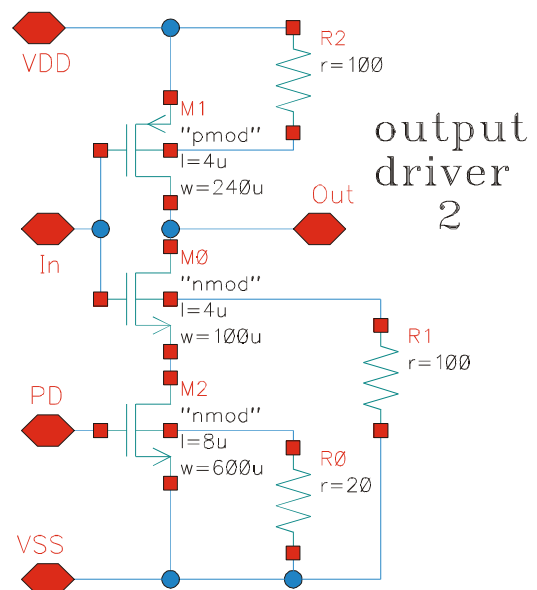
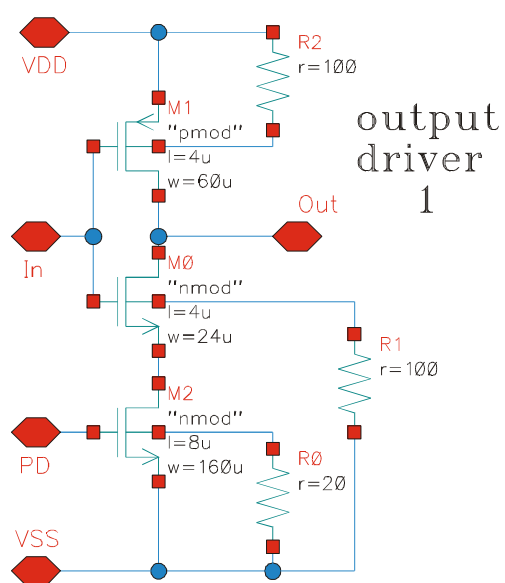


Bild 86: Die Schaltungen des Ausgangstreibers

Vref Block

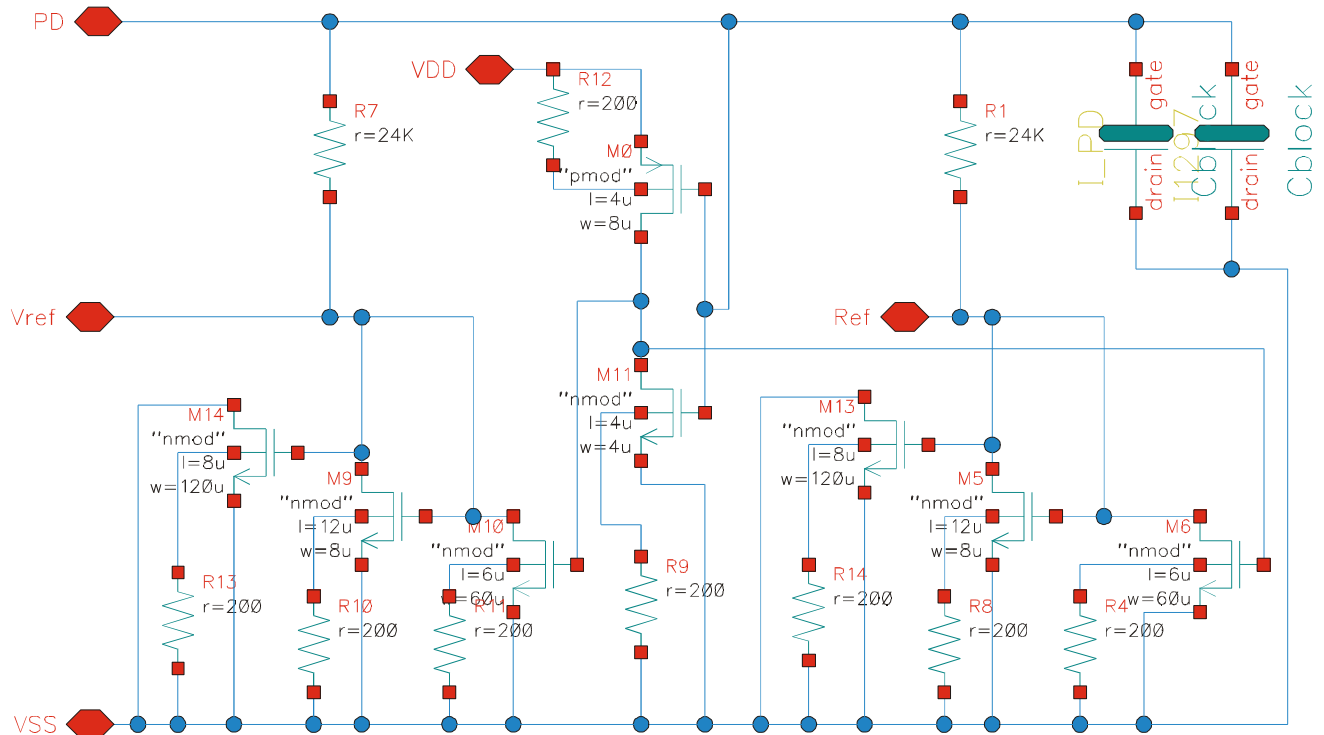


Bild 87: Die Referenzspannungserzeugung, nicht temperaturkompensiert.

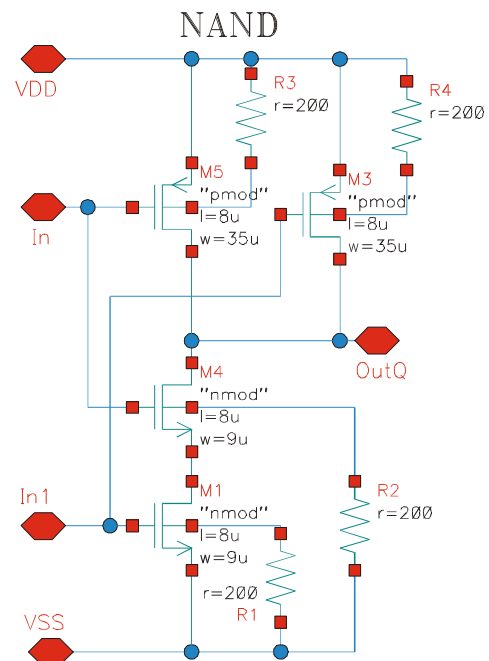
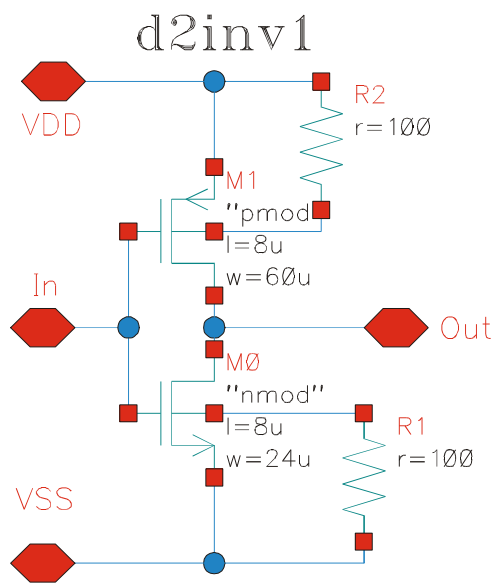


Bild 88: Logische Schaltungsblöcke, Inverter und Nand Schaltung

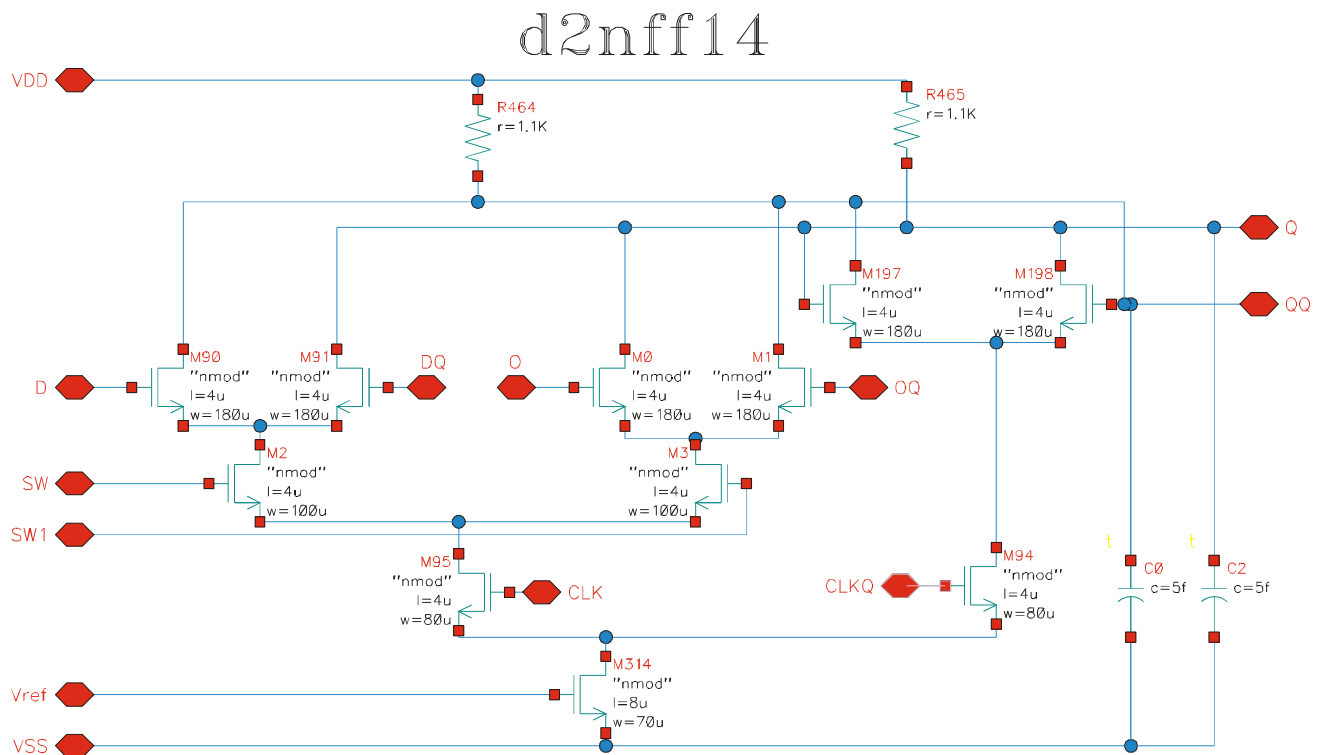


Bild 89: Das erste modifizierte D-Latch des Synchronblocks

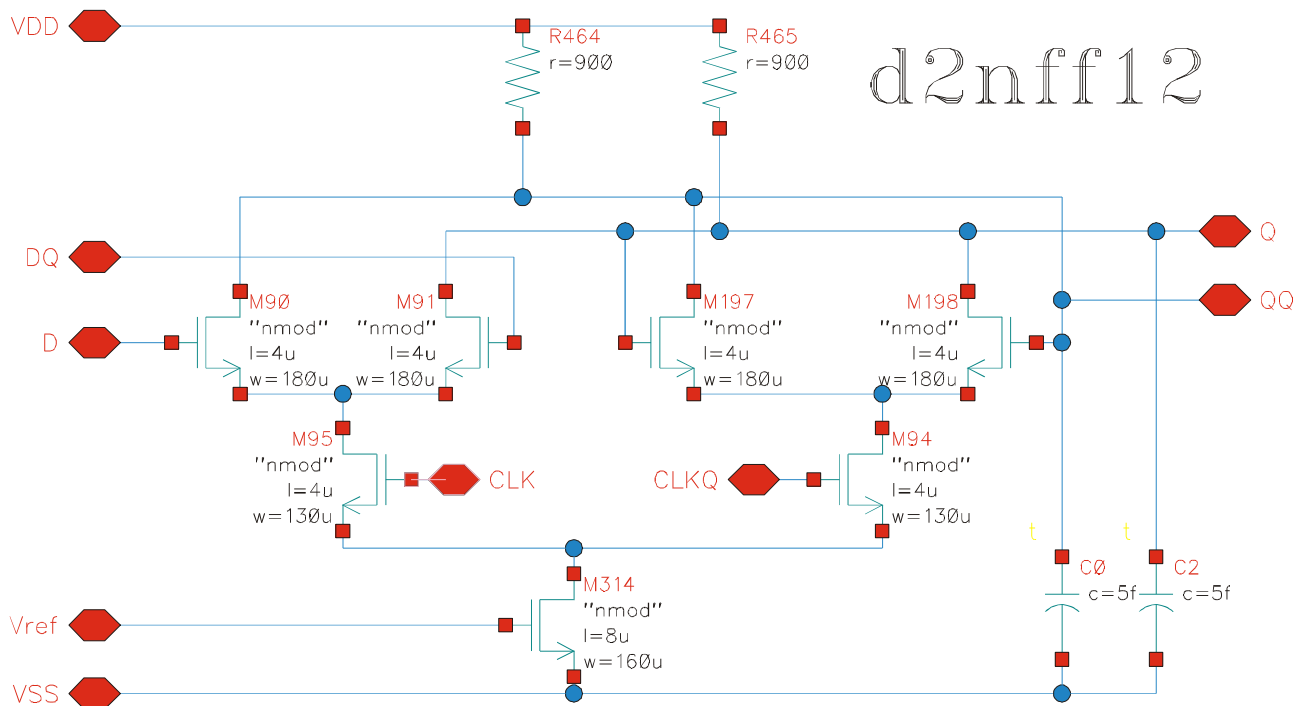


Bild 90: Die D-Latch des Synchronblockes

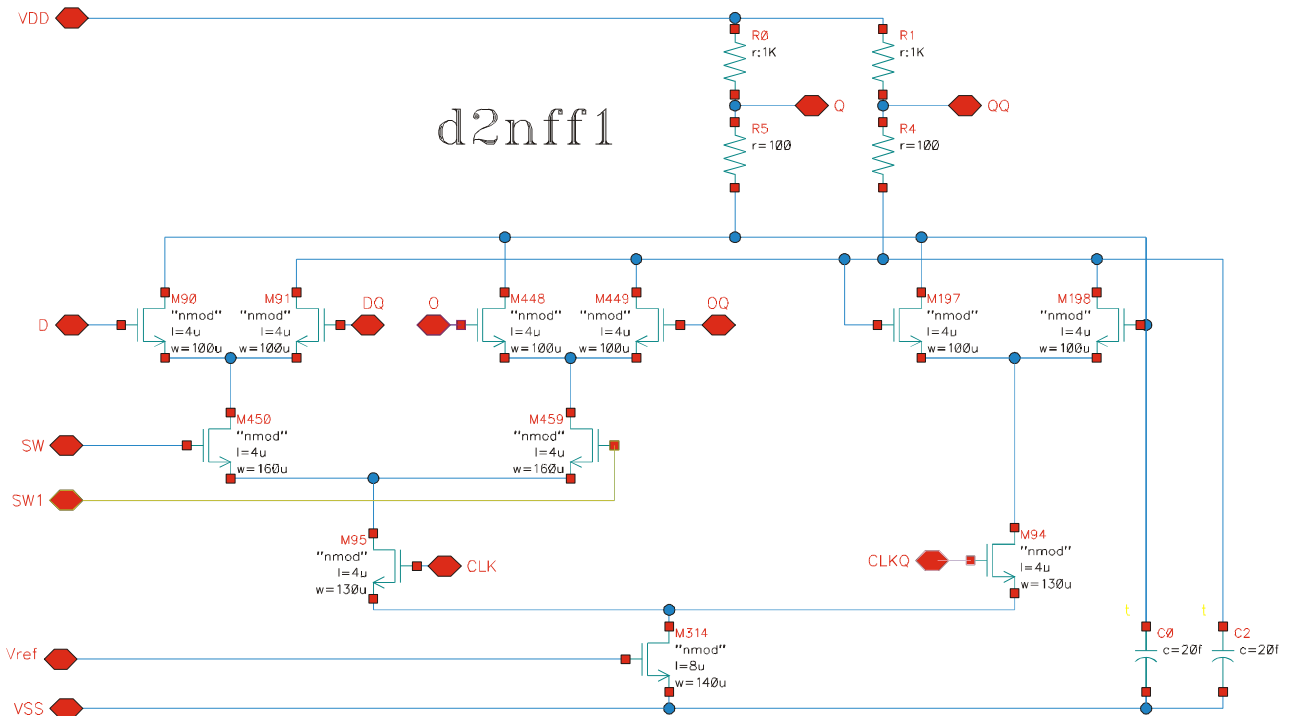


Bild 91: Ein modifiziertes D-Latch des HF Teilrings

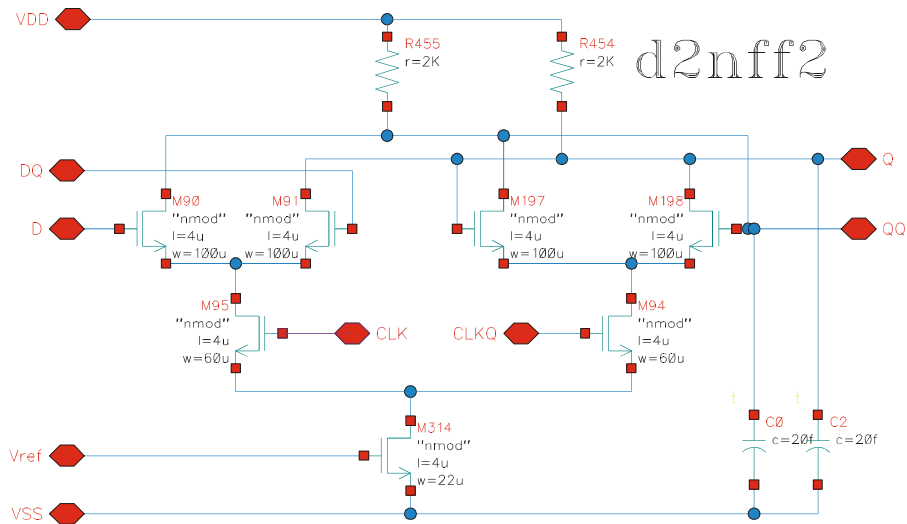


Bild 92: Das erste D-Latch des CML div8 Teilerblockes

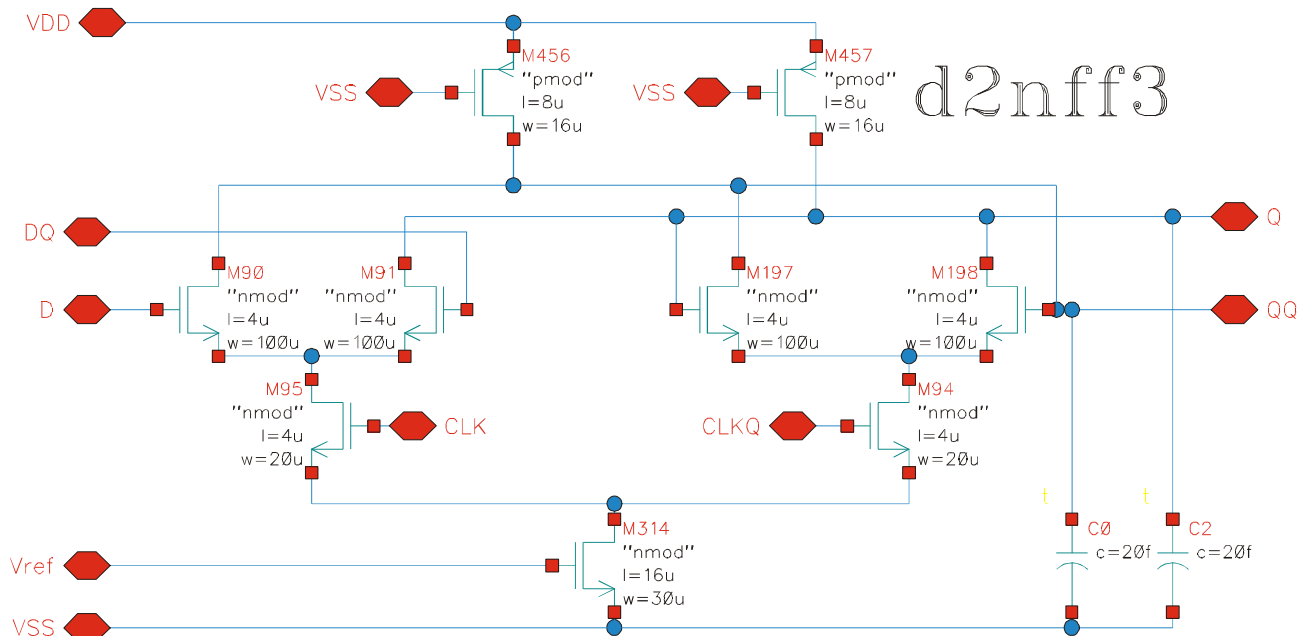


Bild 93: Das zweite D-Latch des CML div8 Teilerblockes

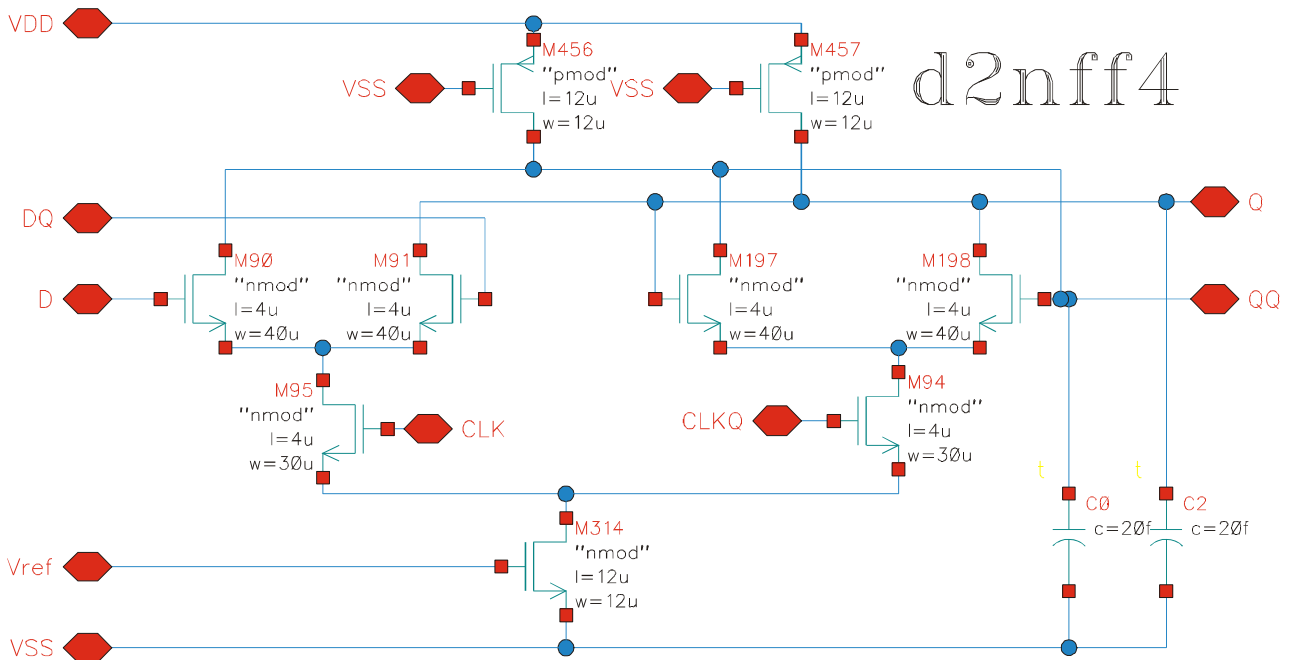


Bild 94: Das dritte D-Latch des CML div8 Teilerblockes

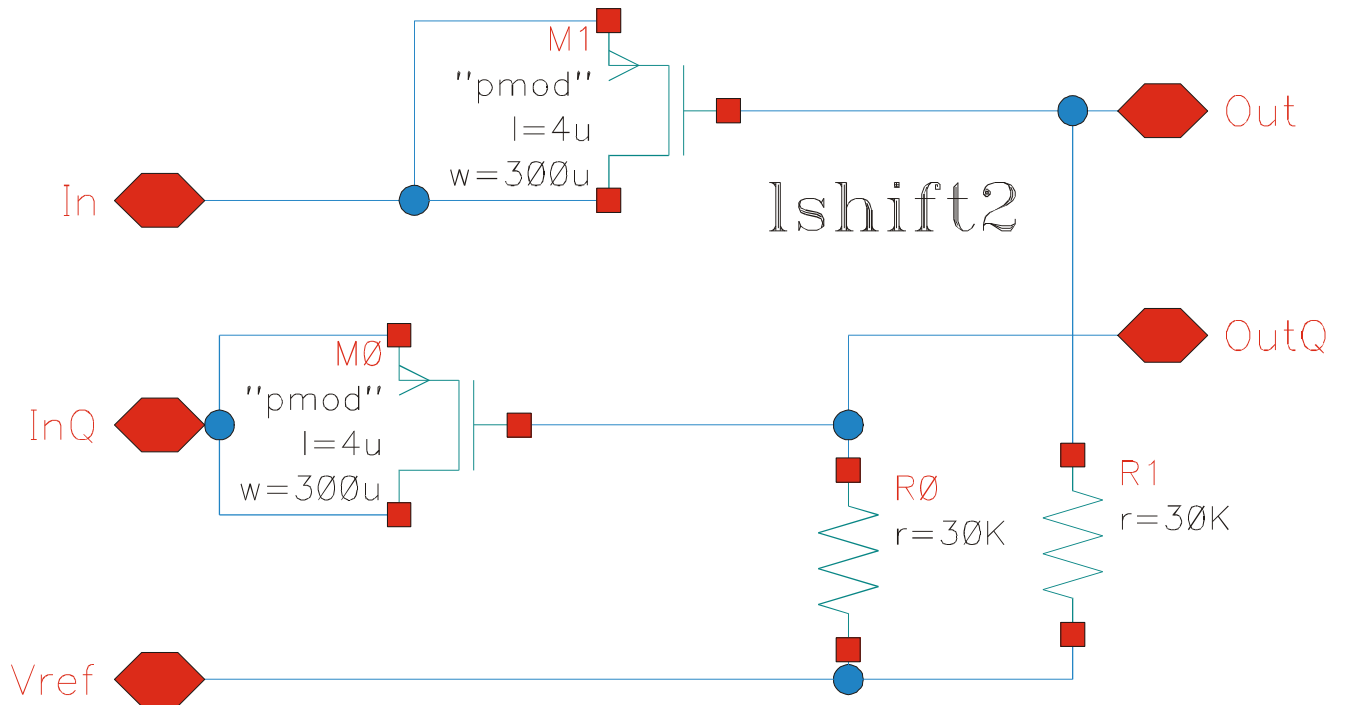


Bild 95: Die Schaltung zur DC Trennung am Eingang des Pegelwandlers

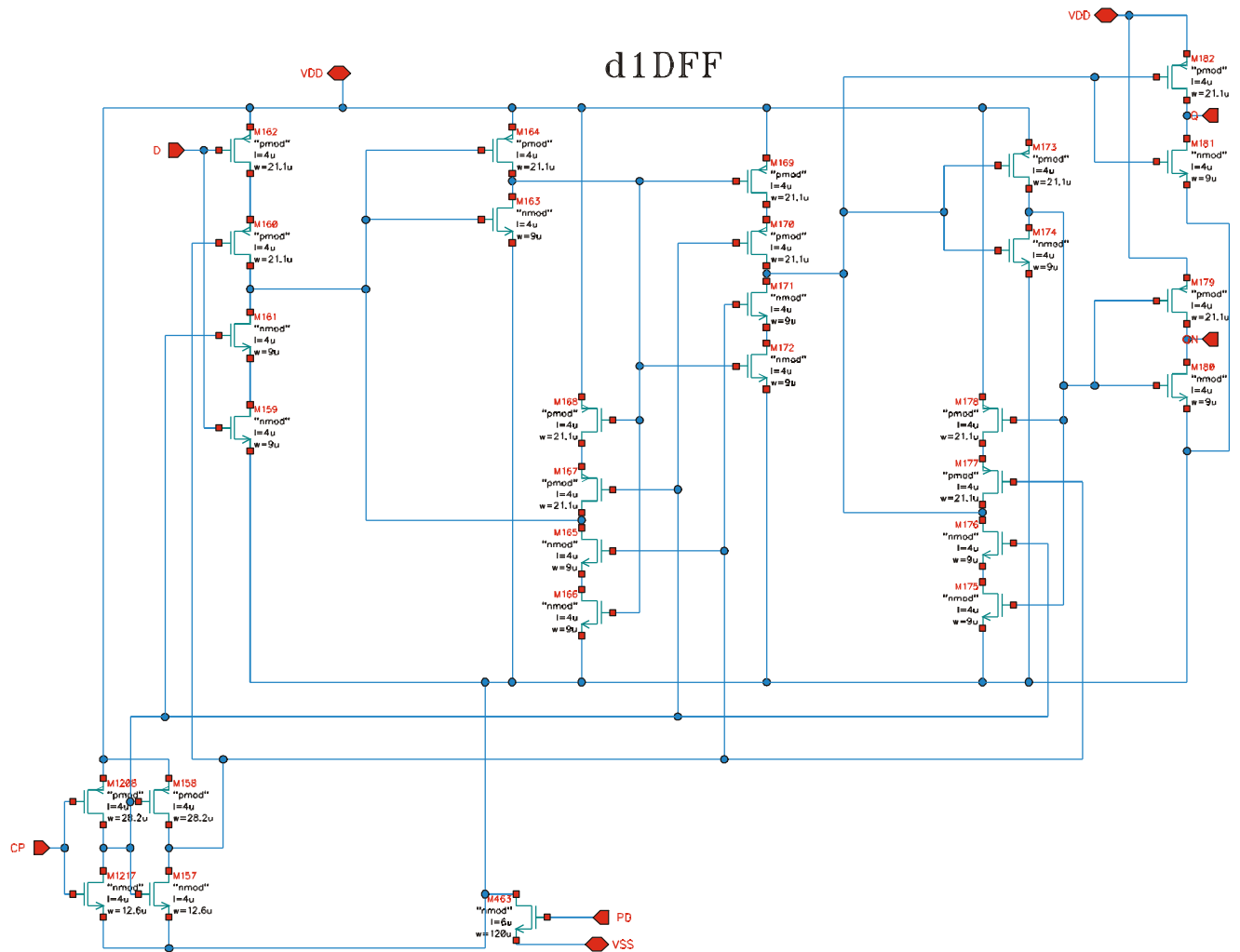


Bild 96: Die Schaltung eines digitalen Standard D-FF

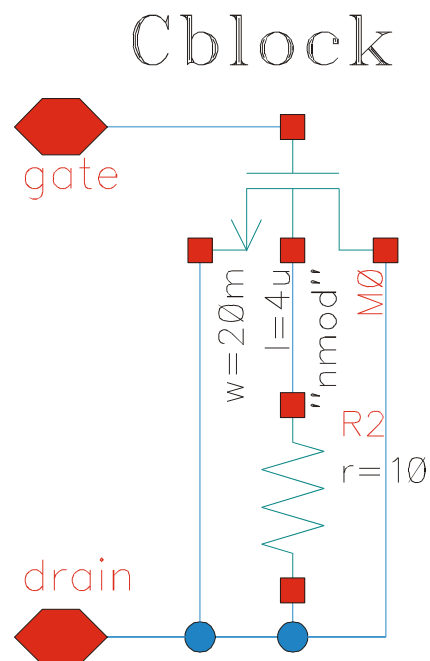


Bild 97: Ein Transistor, verwendet als Abblockkondensator

12.5.2 Die Signale

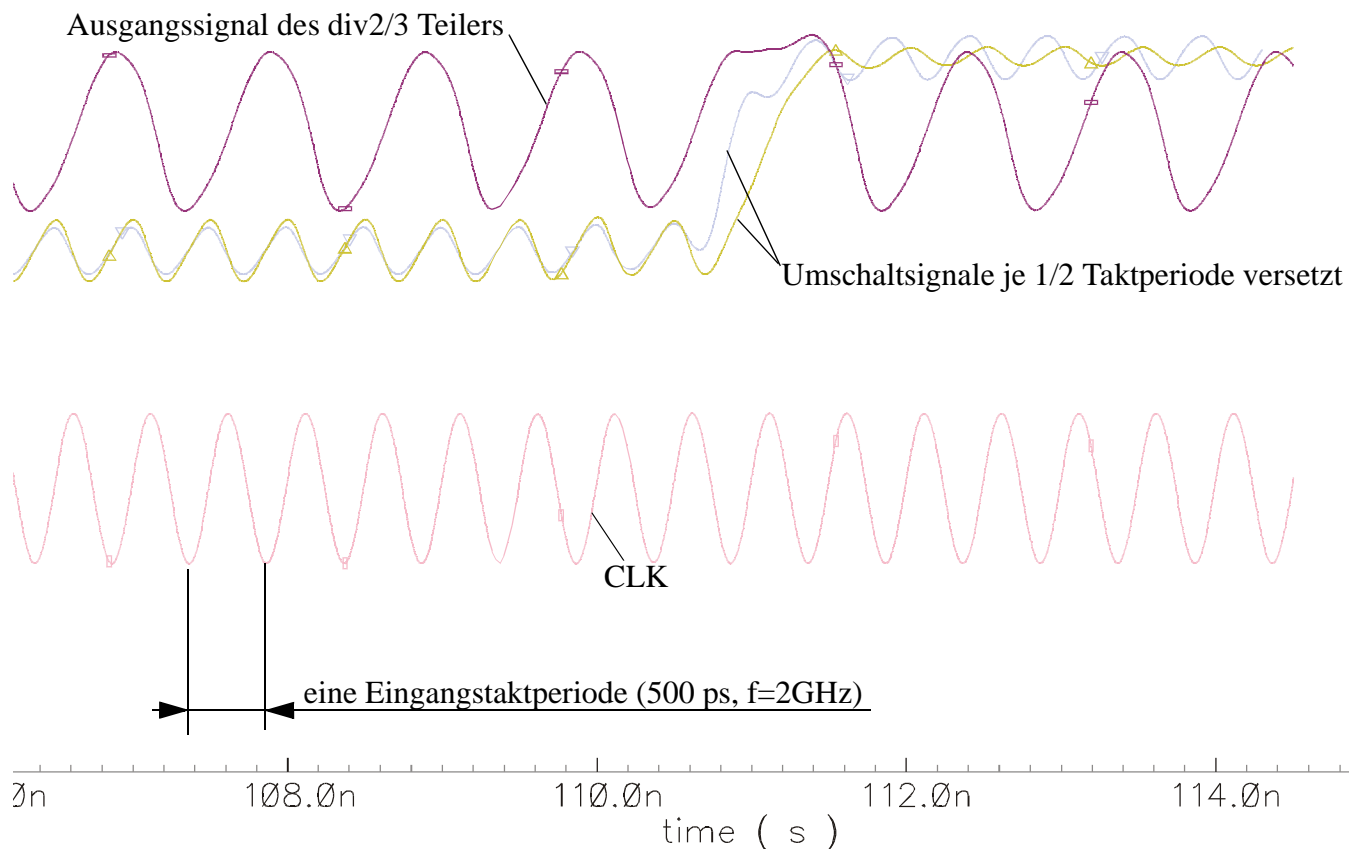


Bild 98: Signale im HF Teilerring mit Low-High Flanke der Umschaltssignale

Das Bild 98 zeigt die Signale im HF Teilerring. Der Eingangstakt CLK treibt die synchron D-Latch und am Schaltungsausgang erscheint das durch 2 geteilte Signal. Bei Erscheinen der zeitlich gestaffelten Umschaltssignale wird einmalig eine Takteingangsperiode ausgeblendet. Hier ist die Low-High Flanke der Umschaltssignale abgebildet. In Bild 99 wird das Verhalten bei der High-Low Flanke der Umschaltssignale dargestellt. Auch hier ist der Verlust einer Takteingangsperiode zu erkennen.

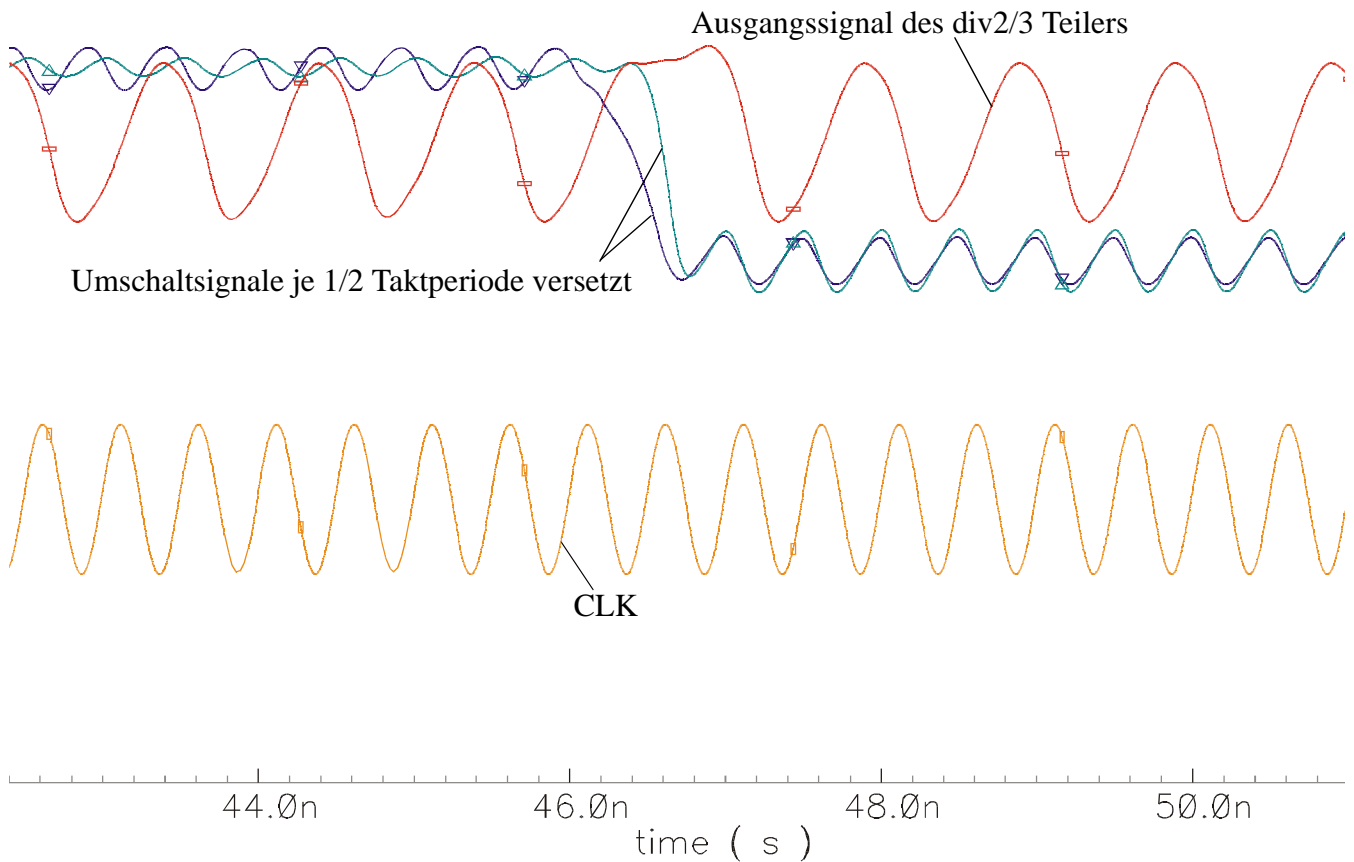


Bild 99: Signale im HF Teilerring mit High-Low Flanke der Umschaltssignale

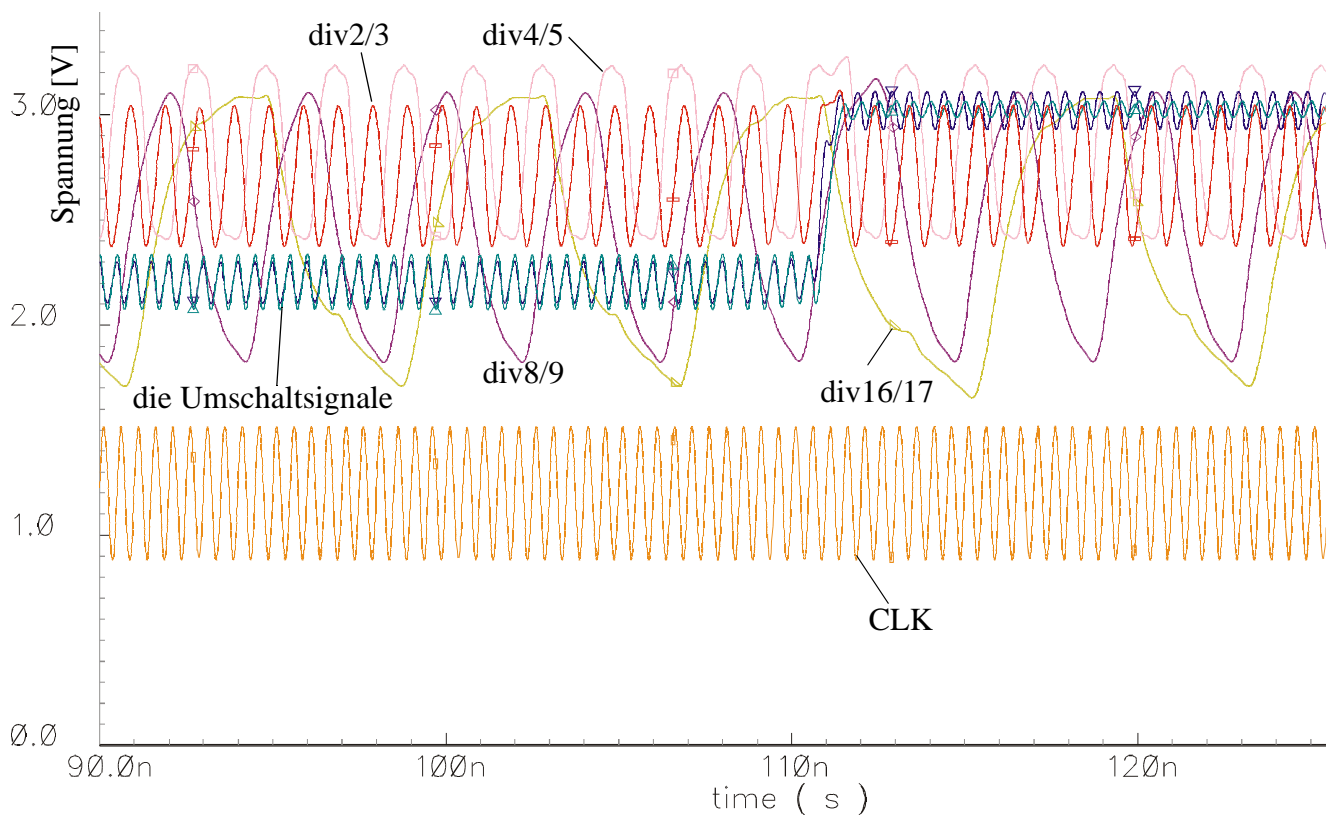


Bild 100: Sämtliche Signale an den CML Frequenzteilern

Bild 100 zeigt sämtliche relevanten Signale im Bereich der CML Frequenzteiler. Die eigentlichen HF Teiler D-Latch besitzen einen kleineren Signalhub bei größerem Arbeitspunktstrom. Das bedingt eine Pegelverschiebung zur Betriebsspannung $V_{DD}=3.3V$ hin. Die D-Latch mit den kleineren Frequenzen werden mit je etwa dem halbierten Arbeitspunktstrom betrieben, besitzen aber hochohmiere Lastwiderstände. Die Folge ist ein größerer Signalpegel und deutlich langsamere Schaltflanken. Größere Signalpegel sind hier wichtig, da diese die Pegelwandler für den Übergang auf digital CMOS Pegel treiben müssen.

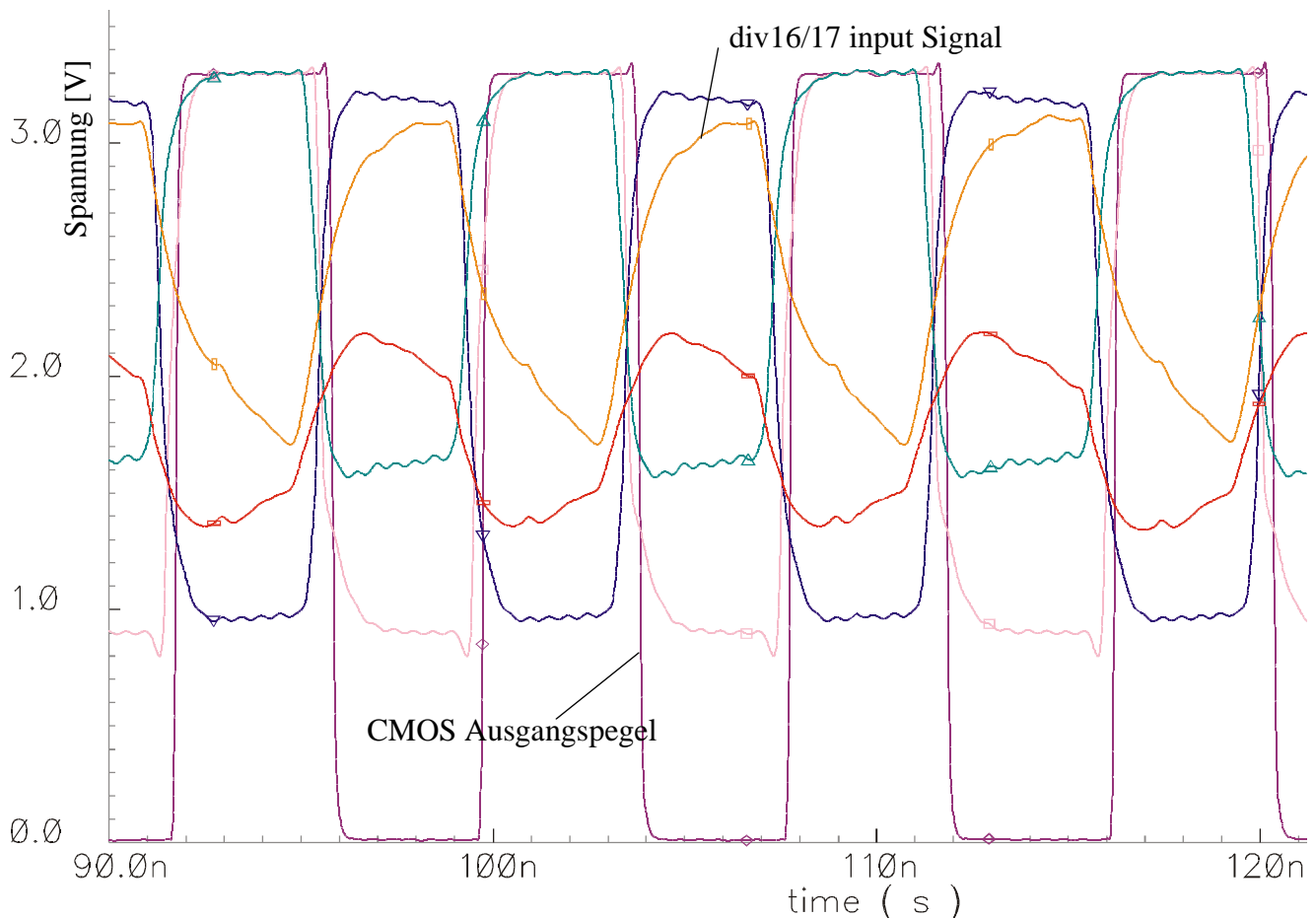


Bild 101: Die Signale am Pegelwandler

Die Signale des letzten der CML D-Latch werden über mehrere Differenzverstärker auf den erforderlichen Pegel gebracht, damit dann erst ein modifizierter Inverter und schließlich ein Standard Inverter sicher schalten.

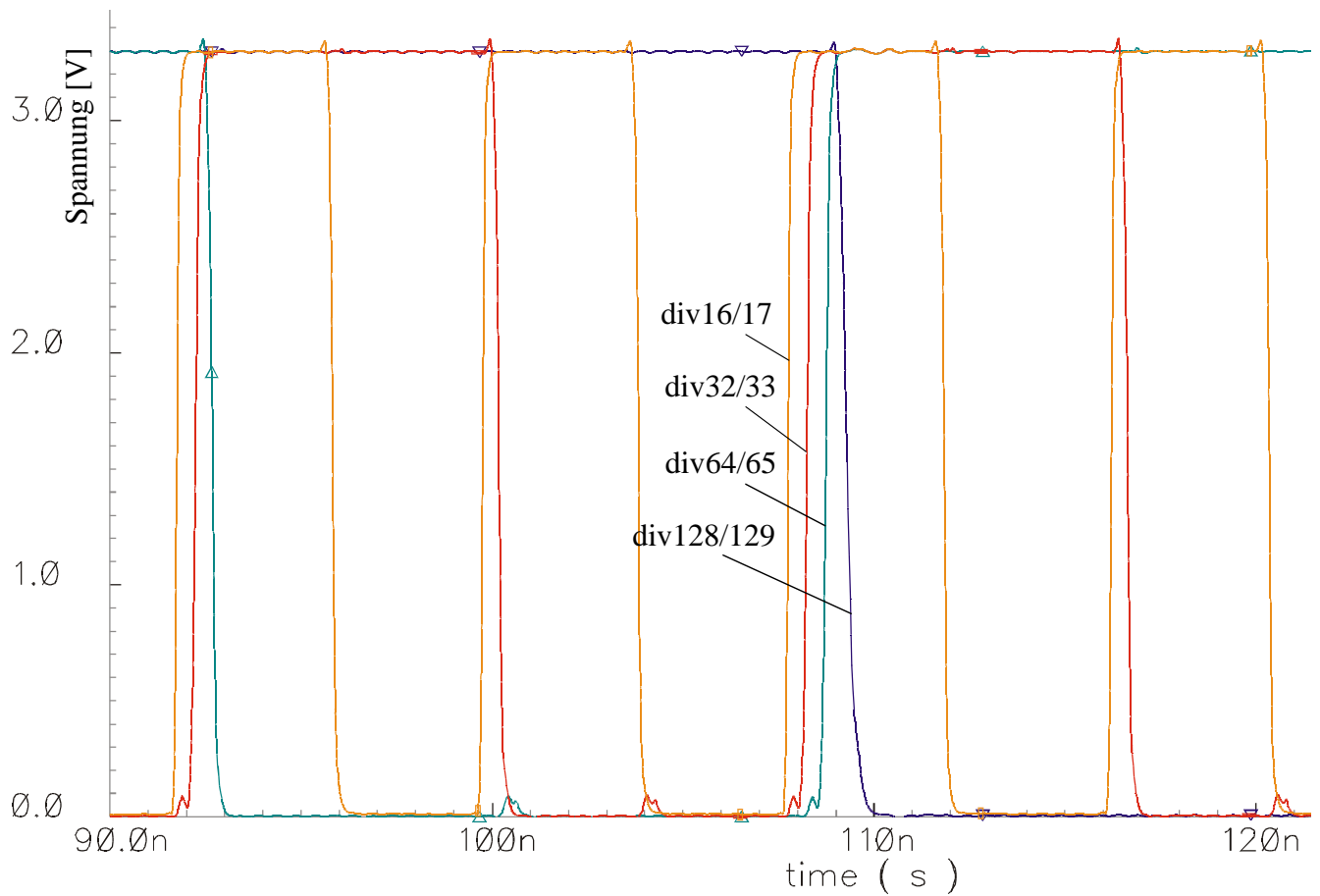


Bild 102: Signale der CMOS Standardteiler

Die Signale der CMOS Standardteiler sind hier nur der Vollständigkeit halber mit abgebildet. Das div256 Signal wird erst im Modelogik Block gebildet.

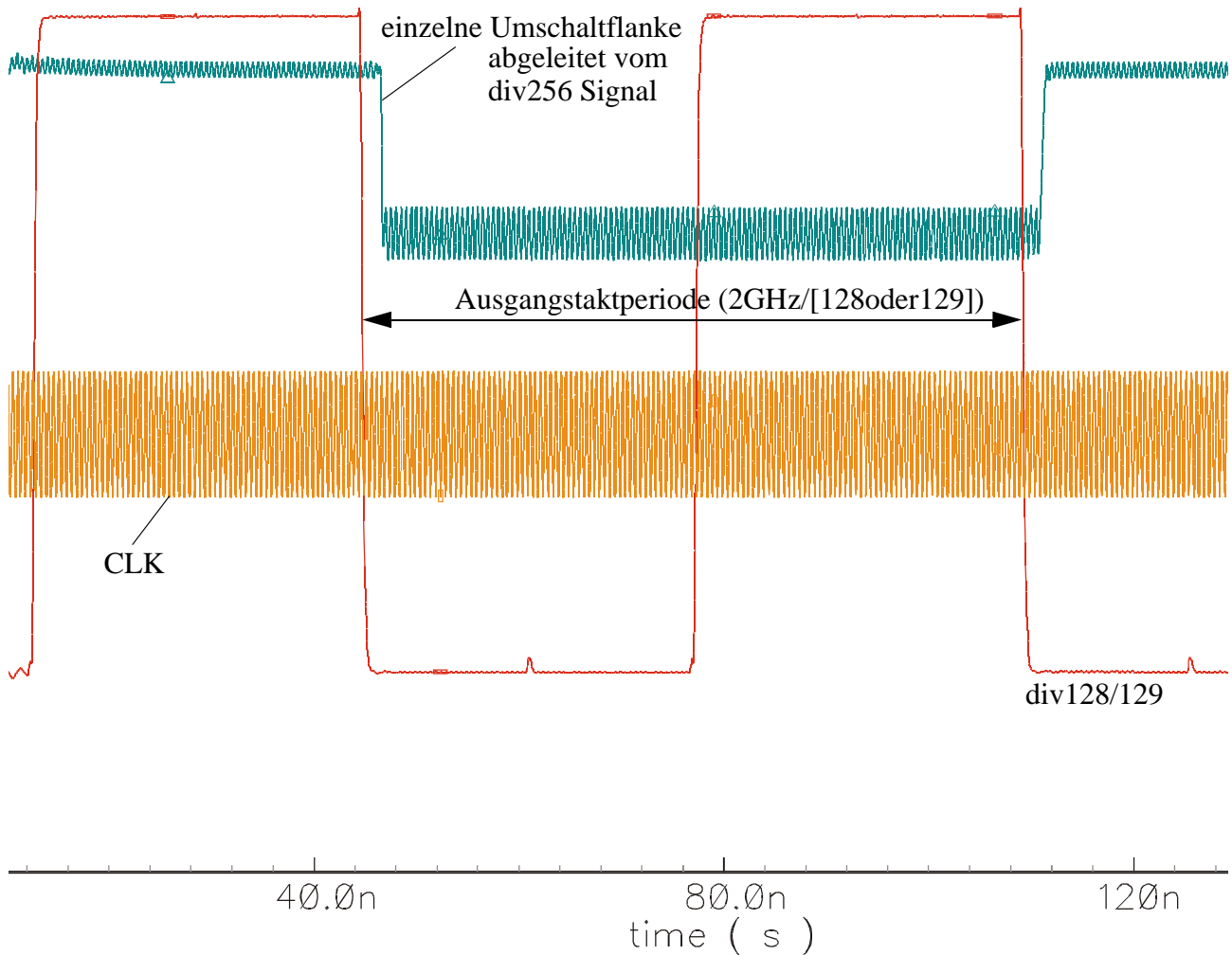


Bild 103: Ableitung der Umschaltsignale

Da die einzelne Umschaltflanke vom div 256 Signal abgeleitet ist erscheint genau eine Umschaltflanke pro Ausgangstaktperiode, was zu genau einer zusätzlich unterdrückten Eingangstaktperiode führt.

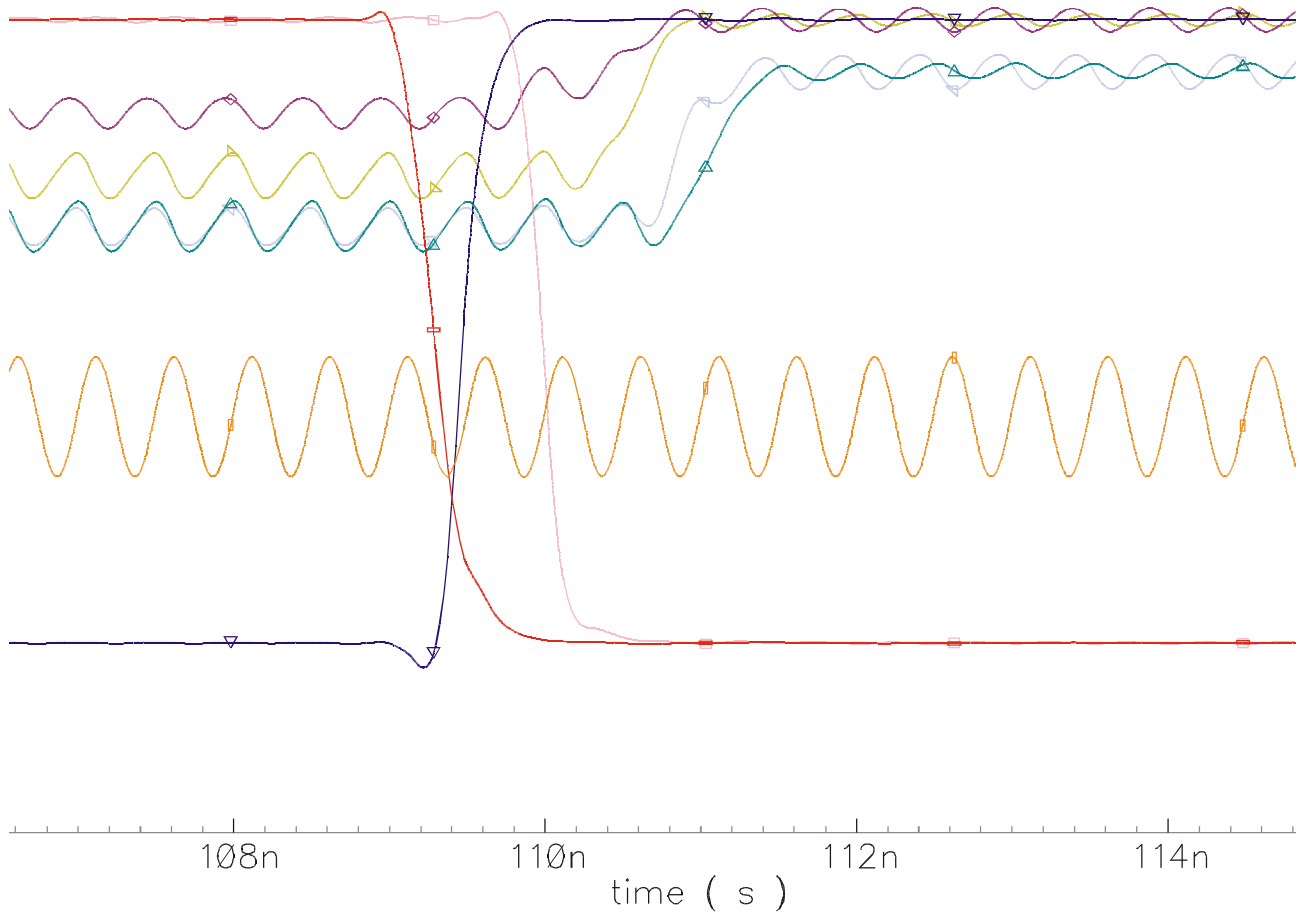


Bild 104: Details der Ableitung der Umschaltsignale

Bild 104 zeigt einige Details des Überganges vom div265 Signal auf den CML Pegel und die darauffolgende Synchronisation zum HF Eingangstakt signal. Da das Signal zwei verschiedene D-Latch passiert, wird über unterschiedliche und gestaffelte Arbeitspunktströme eine Flankensteilheit generiert, die dann für den sehr schnell erfolgenden Umschaltvorgang im HF Teilerring ausreicht. Außerdem wird damit die definierte Phasenlage bezüglich des Eingangstakt signal erreicht. Die CMOS Flanke kann damit zu einem beliebigen Zeitpunkt auftreten.

Für die Funktion des Grundprinzips einer solchen neuartigen Teilerschaltung ist es unerheblich welche Eingangstaktperiode genau unterdrückt wird. Sicher gestellt werden muss nur, dass genau eine der Eingangstaktperioden innerhalb genau einer Ausgangstaktperiode im div 129 Modus unterdrückt wird. Diese Funktion wird vom Funktionsbaustein Modelogik ausgeführt.